

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 10 月 7 日 (07.10.2004)

PCT

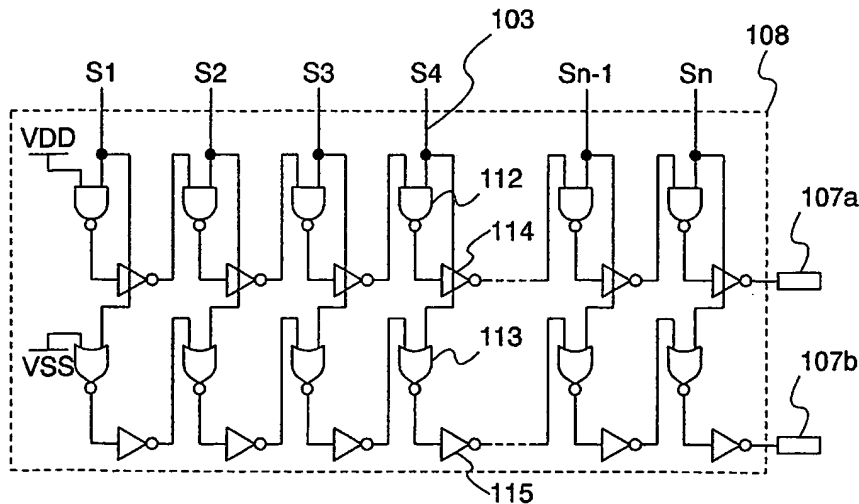
(10) 国際公開番号  
WO 2004/086070 A1

- (51) 国際特許分類: G01R 31/317, G09G 3/20 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2004/003549 (75) 発明者/出願人 (米国についてのみ): 棚田 好文  
(22) 国際出願日: 2004 年 3 月 17 日 (17.03.2004) (TANADA, Yoshifumi) [JP/JP]; 〒2430036 神奈川県厚  
(25) 国際出願の言語: 日本語 木市長谷398番地株式会社半導体エネルギー研究所  
(26) 国際公開の言語: 日本語 内 Kanagawa (JP).  
(30) 優先権データ: (81) 指定国 (表示のない限り、全ての種類の国内保護が  
特願2003-081666 2003 年 3 月 25 日 (25.03.2003) JP 可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,  
特願2003-137822 2003 年 5 月 15 日 (15.05.2003) JP BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,  
(71) 出願人 (米国を除く全ての指定国について): 株式会社 DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
半導体エネルギー研究所 (SEMICONDUCTOR EN- ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,  
ERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,  
神奈川県厚木市長谷398番地 Kanagawa (JP). NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,  
SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: INSPECTION CIRCUIT AND INSPECTION METHOD OF SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の検査回路、および検査方法



(57) Abstract: An inspection circuit of a semiconductor device comprising an arrangement where a plurality of NAND circuits are connected in series through a plurality of inverters, and an arrangement where a plurality of NOR circuits are connected in series through the plurality of inverters. A plurality of source signal lines are connected, respectively, with one input terminal of the NAND circuits and NOR circuits and an inspection output is obtained from the final stages of the NAND circuits and NOR circuits connected in series. Inspection circuit and method capable of judging failure easily and accurately using small-scale circuitry are thereby provided.

(57) 要約: 複数のNAND回路を、複数のインバータを介して直列した構成と、複数のNOR回路を、前記複数のインバータを介して直列接続した構成を有し、画素部に設けられた複数のソース信号線のそれぞれを、

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

NAND回路およびNOR回路の1入力端に接続し、直列接続されたNAND回路およびNOR回路の最終段から検査出力を得る。こうして、小規模な回路を用いて、簡単かつ正確な不良判定の可能な検査回路およびその方法を提供する。

## 明細書

## 半導体装置の検査回路、および検査方法

## 技術分野

- 5 本発明は、画素がマトリクス状に配置された画素領域を有する表示装置に設ける検査回路、および表示装置の検査方法に関する。また本発明は、画素がマトリクス状に配置された画素領域を有する半導体装置の検査回路、及び検査方法に関する。

## 10 背景技術

液晶ディスプレイ(LCD)や、エレクトロルミネッセンス(EL)ディスプレイ等をはじめとする表示装置においては、近年大画面化、高精細化が進み、さらに、画素部と、画素部を制御するための周辺回路を基板上に一体形成することによる回路の高集積化が進んでいる。

- 15 製造工程において、パターニング不良、静電破壊(ESD)等による素子破壊が生じた場合、表示装置自体の正常動作が見込めなくなるため、品質検査によって除外されなければならない。一般的に、表示装置の品質検査は、図12Aに示すような、ソースドライバ1203、ゲートドライバ1204、画素領域1205、信号入力端子1206等が形成されたTFT基板1201と、対向
- 20 基板1202とを貼り合わせ、完成品であるモジュール1200となった段階で、図12Bに示すように、実際にジグ1211等を用いて信号を入力、画像もしくは映像(テストパターン1212等)の表示を行い、画面の視認によって表示不良の有無を観察することによって行われる。

- しかし、この方法によると、表示装置自体がモジュール1200としてほぼ
- 25 完成した段階での検査となるため、不良判定されたモジュールに費やされたコ

ストが大きいといった欠点がある。つまり、回路不良による欠陥は、TFT基板1201のみに起因するものであり、対向基板1202等の貼り合わせに伴う工程が無駄となる。また、画素部や周辺回路がTFT等によって形成されている基板(TFT基板)のみを製造し、半完成品として出荷するなどといった形態も考えられるが、このような場合、実際の表示で品質検査を行うことは事実上不可能である。つまり、TFT基板の状態で、回路動作が正常かどうかを判断する手段が必要となる。

図11は、そのような検査を実現した構成の一例である。基板上に、シフトレジスタ(SR)及びNAND回路19、データラッチ20、D/Aコンバータ(DAC)21、ビデオデータ線23、信号、電源等の入力端子22、16等であるデジタルソースドライバ18、ゲートドライバ5、画素3がマトリクス状に配置された画素領域、保持容量線15および、スイッチ駆動回路30、アナログスイッチ25、検査ライン27、検査端子28等でなる検査回路が形成されている。

図11に示した表示装置は、各ゲート信号線6により当該行に接続された画素を制御し、映像信号はデジタルソースドライバ18に入力され、ソース信号線9へと出力され、各画素に書き込まれる。

検査回路においては、それぞれの画素TFT1を介して画素に映像信号が書き込まれることによって、保持容量2に保持された電荷を順次検査ライン27を介して検査端子28に取り出し、画素への書込みの良否の判定を行うものである。また、アナログスイッチ25はスイッチ駆動回路30によって制御される(特許文献1参照)。また、ソース信号線9のそれぞれに検査用のパッドを配し、各パッドに探針(プローブ)を当てることによって出力を検査する方法もある(特許文献2参照)。

25 (特許文献1)

特開2002-116423号公報

(特許文献2)

特許第2618042号明細書

## 5 発明の開示

(発明が解決しようとする課題)

しかし、上記の特許文献記載の方法によると、高精細、大画面の表示装置においては検査のスループットが著しく低下する点、また、スイッチ駆動回路30等による制御が必須であり、基板上における検査回路の実装面積の拡大等と  
10 いった問題がある。特に、前者のような方法によると、高精細な表示装置においては現実的でない。

本発明は前述の課題に鑑み、極めて簡単な方法により、かつ小規模な検査回路を用いて、回路動作、線欠陥の有無等の判定が可能な検査回路および検査方法を提供するものである。

15

(課題を解決するための手段)

前述した課題を解決するため、本発明においては以下のような手段を講じた。

高精細化に伴って本数の増大した信号線に出力される信号を、それぞれ探針によって検査する方法は、前述のとおり、検査のスループット等の面からみて  
20 も現実的でない。そこで本発明においては、全段の信号線の出力を検査回路に入力し、それら全ての入力に対して得られる、ある特定のパターンを判定結果として得るようにする。そして、あらかじめ全てが正常である場合の検査出力のパターンをリファレンスパターンとして用意しておき、得られた判定結果との比較を行う。

25 ある信号線の出力が不正である場合には、前述のリファレンスパターンとは

異なる出力が得られるようにする。したがって、1つないしは数箇所の出力を測定し、正常な状態で得られるべき出力の形態と比較することによって、良否の判定を行う。これにより、パルス出力ごとの確認を行う必要がなく、不良箇所の有無を迅速に判断出来る。

5 (発明の効果)

本発明によって、実際のテストパターン表示の視認による検査を行わなくとも、T F T基板の状態での良否が判定可能なため、小規模な検査回路によって、極めて簡単に、効率的な品質検査を可能とする。

具体的には、映像信号にデジタル信号を用いるLCD、ELディスプレイ、  
10 プラズマディスプレイ等、多種の表示装置において、回路動作の良否の判定を行うことが出来る。かつ、検査回路自体を駆動する回路は必要なく、通常表示の場合と同様の手順でドライバを動作させるのみの、極めて簡単な手順によつての検査が可能である。加えて、ソース信号線の本数に関係なく、検査出力端子の出力のHレベル/Lレベル(出力信号)を確認するのみで、全段にわたつ  
15 ての欠陥の有無が即座に判定可能なため、大画面、高精細なパネルに用いられる表示装置の検査にも有効である。

図面の簡単な説明

図1A、1Bは、本発明の一実施形態を示す図である。

20 図2は、ソースドライバおよび検査回路のタイミングチャートを示す図である。

図3A、3Bは、正常動作時の検査回路動作と検査出力を示す図である。

図4A、4Bは、動作不良モードAにおける検査回路動作と検査出力を示す図である。

25 図5A、5Bは、動作不良モードBにおける検査回路動作と検査出力を示す

図である。

図 6 A、6 B は、動作不良モード C における検査回路動作と検査出力を示す図である。

図 7 A、7 B は、動作不良モード D における検査回路動作と検査出力を示す図である。

図 8 A、8 B は、動作不良モード E における検査回路動作と検査出力を示す図である。

図 9 A、9 B は、動作不良モード F における検査回路動作と検査出力を示す図である。

10 図 10 A、10 B は、本発明の他の一実施形態を示す図である。

図 11 は、従来の検査回路を有する表示装置の構成を示す図である。

図 12 A、12 B は、モジュールの形態と、探針を用いた品質検査の概略を示す図である。

図 13 は、本発明の一実施形態を示す図である。

15 図 14 は、本発明の一実施形態を示す図である。

図 15 は、ゲートドライバおよび検査回路のタイミングチャートを示す図である。

図 16 は、ゲートドライバおよび検査回路のタイミングチャートを示す図である。

20 図 17 は、検査回路の分断例を示す図である。

#### 発明を実施するための最良の形態

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなく、その  
25 形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従っ

て、本発明は以下に示す実施の形態の記載内容に限定して解釈されない。なお、以下の説明において、同じものを指す符号は異なる図面間で共通して用いる。

(実施の形態1)

図1 Aに、本発明の一実施形態を示す。基板上に、ソースドライバ101、  
5 ゲートドライバ102、画素領域106、検査回路108、検査出力端子107が形成されている。画素領域106は、複数の画素105がマトリクス状に配置されてなり、各画素は、ソース信号線103、ゲート信号線104によって制御される。

ソースドライバ101は、シフトレジスタ及びNAND151、データラッ  
10 チ152、レベルシフタ及びバッファ153を有し、ゲートドライバ102は、シフトレジスタ及びNAND154、レベルシフタ及びバッファ155を有する。ただしここでは、特に表示装置の構成について限定を加えるものではない。

検査回路の構成を図1 Bに示す。検査回路108は、複数のNAND112、  
複数のインバータ114を、交互に直列に接続し、さらにソース信号線103  
15 のそれぞれと接続した回路と、複数のNOR113、複数のインバータ115を交互に直列に接続し、さらにソース信号線103のそれぞれと接続した回路とが並列に設けられ、双方の最終段出力は、検査出力端子107a、107bに取り出される。

具体的には、検査回路108において、1段目のNANDの第1の入力端に  
20 は、電源(VDD)が接続され、第2の入力端には、ソース信号線(S1)が接続され、出力端は、1段目のインバータの入力端に接続されている。1段目のインバータの出力端は、2段目のNANDの第1の入力端に接続されている。2段目以降、ある $m$  ( $2 \leq m \leq n$ ) 段目において、 $m$ 段目のNANDの第1の入力端には、 $m-1$ 段目のインバータ出力端が接続され、第2の入力端には、ソー  
25 ス信号線(S $m$ )が接続され、出力端は、 $m$ 段目のインバータの入力端に接続さ



れている。m段目のインバータの出力端は、m+1段目のNANDの第1の入力端に接続されている。最終段、すなわちn段目のインバータ出力が、検査出力端子107aに取り出される。

一方、1段目のNOR113の第1の入力端には、電源(VSS)が接続され、  
5 第2の入力端には、ソース信号線(S1)が接続され、出力端は、1段目のインバータの入力端に接続されている。1段目のインバータの出力端は、2段目のNORの第1の入力端に接続されている。2段目以降、あるm段目において、m段目のNORの第1の入力端には、m-1段目のインバータ出力端が接続され、第2の入力端には、ソース信号線(Sm)が接続され、出力端は、m段目の  
10 インバータの入力端に接続されている。m段目のインバータの出力端は、m+1段目のNORの第1の入力端に接続されている。最終段、すなわちn段目のインバータ出力が、検査出力端子107bに取り出される。

続いて、実際の検査の手順について、図1A、1Bを用いて示す。ここでは、線順次デジタル形式のソースドライバ対象とした例について説明する。

15 検査にあたり、ソースドライバ101を動作させる。動作方法としては、通常の映像表示を行う場合と同様で構わない。ただし、検査時には、映像信号として、全てのソース信号線をHレベル出力とする状態と、全てのソース信号線をLレベル出力とする状態とを順次入力する。

図2に、ソースドライバ101の簡単なタイミングチャートを示し、以下に  
20 その動作について順次説明する。図2には、入力信号としてクロック信号(SCK)、スタートパルス(SSP)、ラッチパルス(SLAT)、デジタル映像信号(Data)、出力信号として、1段目~4段目、最終段のサンプリングパルス(Samp. 1~4、Samp. n)、ソース信号線出力(SLine: 線順次駆動のため、S1~Snは全て同時にデータが切り替わる)を示している。

25 まず、第1ライン期間(Period1)について説明する。クロック信号と

スタートパルス 201 に従ってシフトレジスタが動作し、サンプリングパルス 205 を順次出力する。サンプリングパルス 205 はそれぞれ、デジタル映像信号のサンプリングを行い、ラッチ回路にデータを保持する。

5 なお、第 1 ライン期間において、デジタル映像信号 207 は、全て H レベルを入力している。

最終段でのデジタル映像信号のサンプリングが完了した後、ラッチパルス 203 が入力されると、ラッチ回路にて保持されていたデータが一斉にソース信号線に出力される。このときのソース信号線出力もまた、ラッチ回路によって、次にラッチパルス 204 が入力されるまでの期間、保持される。

10 ここで、ソース信号線出力は、全段において H レベルとなる(210)。

次に、第 2 ライン期間(Period 2)に移る。第 1 ライン期間と同様に、クロック信号とスタートパルス 202 に従い、サンプリングパルス 206 が順次出力され、デジタル映像信号のサンプリングが行われる。

15 なお、第 2 ライン期間において、デジタル映像信号 208 は、全て L レベルを入力している。

続いて、ラッチパルス 204 が入力されると、ラッチ回路にて保持されていたデータが一斉にソース信号線に出力される。このとき、ソース信号線出力は、全段において L レベルとなる(211)。

次に、検査回路の動作等について説明する。今、期間 210 において、ソース信号線には、全段において H レベルが出力されている。よって検査回路は、  
20 図 3 A に示すような状態となる。NAND 301 の第 1 の入力端には、電源(VDD)が入力され、第 2 の入力端には、H レベルが入力されている。よって NAND 301 の出力は L レベルとなる。さらにこの出力は、インバータを介して反転し、次段の NAND に入力される。以後これを繰り返し、最終的に、  
25 査出力端子 107 a には、H レベルが出力される。

一方、NOR 302の第1の入力端には、電源(VSS)が入力され、第2の入力端には、Hレベルが入力されている。よってNOR 302の出力はLレベルとなる。さらにこの出力は、インバータを介して反転し、次段のNORに入力される。以後これを繰り返し、最終的に、検査出力端子107bには、Hレベルが出力される。

次に、211で示される期間においては、ソース信号線には、全段においてLレベルが出力されている。よって検査回路は、図3Bに示すような状態となる。前述と同様に、全てのソース信号線に接続されたNAND、NORが動作し、この場合、検査出力端子107a、107bには、いずれもLレベルが出力される。

この場合の検査出力端子の状態、すなわちソース信号線出力が全段にわたってHレベルの場合、検査出力端子にはいずれもHレベルが出力され、ソース信号線が全段にわたってLレベルの場合、検査出力端子にはいずれもLレベルが出力される状態が、正常な検査出力である。すなわち、全段にわたって、Hレベルの映像信号とLレベルの映像信号の取り込みが正常に行われ、ソース信号線の充放電が行われていることを示している。

図2のタイミングチャート下段、107a、107bに、検査出力端子107a、107bの出力波形を示した。

ここで、以下のA～Fに示される、数種類の動作不良モードを仮定する。

20 A：ソース信号線(S4)の出力がHレベル固定となる場合。

B：ソース信号線(S4)の出力がLレベル固定となる場合。

C：ソース信号線(S4)の出力が通常と反転する場合。

D：ソース信号線(S2、S4)の出力がHレベル固定となる場合

E：ソース信号線(S2)の出力がHレベル固定、ソース信号線(Sn)の出力  
25 がLレベル固定となる場合。

F : ソース信号線(S 2)の出力がLレベル固定、ソース信号線(S n)の出力が通常と反転する場合。

これらの動作不良は、例えばパターニング不良による、ソース信号線と電源線等の短絡や、工程中の静電破壊による素子破壊が生じたことによる回路の動作不良等によってもたらされうるものである。以下に、動作不良A～Fの各々について、検査回路の動作を示す。

図4 A、4 Bは、動作不良モードAにおける検査回路動作と検査出力を示している。この動作不良モードでは、ソース信号線(S 4)が、デジタル映像信号に関係なくHレベル固定となっている。不良箇所を「×」印4 0 0で示した。

10 このとき、ソース信号線に全段にわたってHレベルが出力されている状態、すなわち図4 Aにおいては、正常動作と同様の論理となるため、検査出力端子1 0 7 a、1 0 7 bにはともにHレベルが出力され、正常判定となる。しかし、ソース信号線が全段にわたってLレベル出力となると、図4 Bに示すように、NOR 4 0 1において論理反転が生じ、以後、この反転した論理が保存された

15 まま、検査出力端子1 0 7 bにHレベルが出力され、すなわち不良判定となる。

図5 A、5 Bは、動作不良モードBにおける検査回路動作と検査出力を示している。この動作不良モードでは、ソース信号線(S 4)が、デジタル映像信号に関係なくLレベル固定となっている。不良箇所を「×」印5 0 0で示した。

ソース信号線全段にわたってLレベルが出力されている状態、すなわち図4 B

20 においては、正常動作と同様の論理となるため、検査出力端子1 0 7 a、1 0 7 bに共にLレベルが出力され、正常判定となる。しかし、ソース信号線が全段にわたってHレベル出力のとき、NAND 5 0 1において論理反転が生じ、検査出力端子1 0 7 aにLレベルが出力され、すなわち不良判定となる。

図6 A、6 Bは、動作不良モードCにおける検査回路動作と検査出力を示している。この動作不良モードでは、ソース信号線(S 4)が、デジタル映像信号

25

に対し、出力が反転している。不良箇所を「×」印 6 0 0 で示した。この場合、ソース信号線に全段にわたって H レベルが出力されている場合も、L レベルが出力されている場合も、それぞれ NAND 6 0 1、NOR 6 0 2 において論理が反転し、前者においては検査出力端子 1 0 7 a に L レベルが出力され、後者  
5 においては検査出力端子 1 0 7 b に H レベルが出力されることによって不良判定が得られる。

ここまでの例は、全ソース信号線に対し、不良箇所が 1 箇所である場合について述べた。動作不良モード D ~ F は、複数の不良箇所が存在する場合の例である。

10 図 7 A、7 B は、動作不良モード D における検査回路動作と検査出力を示している。この動作不良モードでは、ソース信号線 (S 2、S 4) の 2 箇所において、いずれもデジタル映像信号に関係なく H レベル固定となっている。不良箇所を「×」印 7 0 0、7 1 0 で示した。ソース信号線全段にわたって H レベルが出力されている状態、すなわち図 7 A においては、正常動作と同様の論理となるため、正常判定となる。しかし、図 7 B に示すように、不良箇所が複数ある場合には、最初に現れた不良箇所、つまりソース信号線 (S 2) に接続された  
15 NOR 7 0 1 で論理が反転した後、次に現れる不良箇所、つまりソース信号線 (S 4) に接続された NOR 7 0 2 において変化することなく、論理反転の状態がそのまま保存されるので、検査出力端子 1 0 7 b に H レベルが出力され、不  
20 良判定が得られる。

図 8 A、8 B は、動作不良モード E における検査回路動作と検査出力を示している。この動作不良モードでは、ソース信号線 (S 2) においては、デジタル映像信号に関係なく H レベル固定となっており、さらにソース信号線 (S n) において、デジタル映像信号に関係なく L レベル固定となっている。不良箇所  
25 を「×」印 8 0 0、8 1 0 で示した。図 8 A、8 B に示すとおり、前者の不良

箇所に関しては、NOR 802において論理が反転し、検査出力端子107bにHレベルが出力され、後者の不良箇所に関しては、NAND 801において論理が反転し、検査出力端子107aにLレベルが出力され、不良判定が得られる。このように、異なるモードの不良が複数の箇所で生じた場合にも、互い  
5 の検査出力を阻害することなく、正確に判定が行われている。

図9A、9Bは、動作不良モードFにおける検査回路動作と検査出力を示している。この動作不良モードでは、ソース信号線(S2)においては、デジタル映像信号に関係なくLレベル固定となっており、さらにソース信号線(Sn)において、デジタル映像信号に対し、出力が反転している。不良箇所を「×」  
10 印900、910で示した。図9A、9Bに示すとおり、前者の不良箇所に関しては、NAND 901において論理が反転し、検査出力端子107aにLレベルが出力され、後者の不良箇所に関しては、NOR 902において論理が反転し、検査出力端子107bにHレベルが出力され、不良判定が得られる。このモードにおいても、ソース信号線(Sn)の不良が、NAND 901において  
15 現れた論理反転に影響することなく、正確に判定が行われている。

以上のように、本発明の検査回路は、多種の不良モードに対して極めて正確な不良判定が可能であり、デジタル映像信号を入力し、ソース信号線にデジタル出力を行う形式のドライバを用いた表示装置であれば、LCD、ELディスプレイ、プラズマディスプレイ等、多種の表示装置において、回路動作の良否  
20 の判定を行うことが出来る。かつ、検査回路自体を駆動する回路は必要なく、通常と同様にドライバを動作させるのみの極めて簡単な手順によつての検査が可能である。

なお、図3～図9に示したように、NANDを用いて構成された回路の側に接続された検査出力端子の出力(信号)と、NORを用いて構成された回路の  
25 側に接続された検査出力端子の出力(信号)が、デジタル映像信号がHレベル、

Lレベルいずれの場合においても、同じ出力が得られる場合が正常であり、何らかの不良判定が現れる場合には、2つの検査出力端子の出力が異なっている。よって、この2つの検査出力端子の出力の同等性を判定する比較回路を設けることにより、検査出力の取得がより容易になる。

- 5 具体的には、図10A、10Bに示すように、2つの検査出力端子に現れる信号を入力とするExNOR(Exclusive-NOR)1001をさらに接続し、検査出力端子107の出力がHレベルであるか、Lレベルであるかによって、良否の判定を行っても良い。図10Aに示す構成によると、ExNOR出力がHレベルであれば良品判定、Lレベルであれば不良判定となる。図
- 10 10BにExNOR回路の真偽値表を示す。また、ExNORの代わりに、ExOR(Exclusive-OR)を用いても同様である。この場合、ExOR出力がLレベルであれば良品判定、Hレベルであれば不良判定となる。

- また、図1Aにおいて、映像信号(Data)入力形式がアナログ形式である場合、検査時のみ、実際の映像信号の最大振幅と同程度のデジタル信号を検査
- 15 信号として入力することで、デジタル形式、アナログ形式に制限なく、検査が可能である。

また、本発明は、多数の信号線の出力信号を一度に検査回路に入力することにより、経時的に波形を観察することなく、1ないしは2パターンの判定波形をもって検査が完了する点を特徴としている。

- 20 すなわち、検査回路の構成は図1Bや図10に限定されるものではなく、異なる回路構成でも等価の機能をもたらしうる構成を含むものとする。

(実施の形態2)

- 本発明の検査回路および検査方法は、ゲートドライバの動作検査への適用も容易に実現出来る。本実施形態においては、実施の形態1で説明してきた検査
- 25 回路をゲートドライバの動作検査に用いる例について示す。

図13、に構成例を示す。基板上に、ソースドライバ1301、ゲートドライバ1302、画素領域1306、検査回路1310、出力端子1313が形成されている。画素領域1306は、複数の画素1305がマトリクス状に配置されてなり、各画素は、ソース信号線1303、ゲート信号線1304によって制御される。

ソースドライバ1301は、クロック信号(SCK)、スタートパルス(SSP)の入力により、シフトレジスタ及びNAND回路1351において順次サンプリングパルスを出力する。その後、データラッチ1352において映像信号(Data)のサンプリングを行い、レベルシフタ及びバッファ1353において、振幅変換あるいは増幅を受け、順次ソース信号線へと出力する。

ゲートドライバ1302は、クロック信号(GCK)、スタートパルス(GSP)の入力により、シフトレジスタ及びNAND回路1354において順次行選択パルスを出力する。その後、レベルシフタ及びバッファ1355において、振幅変換あるいは増幅を受け、順次、各行のゲート信号線(G1～Gm)を選択する。

検査回路1310の構成を図14に示す。ここでは、ゲートドライバ1302の検査用に設けられた検査回路1310について説明する。検査回路1310は、第1ラッチ回路1401、第2ラッチ回路1402によるラッチ回路1311と、判定回路1312でなる。判定回路1312は、ソースドライバの検査回路と同様の構成であり、複数のNAND112、複数のインバータ114を交互に直列に接続し、さらにゲート信号線(G1～Gm)のそれぞれと接続した回路と、複数のNOR113、複数のインバータ114を交互に直列に接続し、さらにゲート信号線(G1～Gm)のそれぞれと接続した回路とが並列に設けられ、双方の最終段出力は、検査出力端子107a、107bに取り出される。



続いて、実際の検査の手順について、図13、図14を用いて示す。検査にあたり、ゲートドライバ1302を動作させる。動作方法としては、通常の映像表示を行う場合と同様で構わない。

図15に、ゲートドライバ1302および検査回路1310の簡単なタイミングチャートを示し、以下にその動作について順次説明する。図15には、ドライバ側入力信号として、クロック信号(GCK)、スタートパルス(GSP)、検査回路側入力信号として、検査用信号(CCK1、CCK2)、検査用データラッチ信号(CLAT)、出力信号として、1行目～4行目、m行目の行選択パルス(GLine1～4、GLinem)、検査回路ラッチ出力(C1～Cm)を示している。

まず、第1フレーム期間(Period1)について説明する。クロック信号(GCK)とスタートパルス(GSP)1501に従ってシフトレジスタが動作し、行選択パルス1502を順次出力する。行選択パルス1502はその後、それぞれ振幅変換、あるいは増幅を受け、各行のゲート信号線を選択する。

一方、順次出力される行選択パルス1502は、検査回路内の第1ラッチ回路1401に入力され、検査用信号(CCK1、CCK2)1503もしくは1504の取り込みを行う。この期間(Period1)においては、全ての第1ラッチ回路1401において、Hレベルが取り込まれる。行選択パルス1502が1行目から最終行まで出力され、検査回路内の第1ラッチ回路1401の全段での取り込みが完了した後、検査用データラッチ信号(CLAT)1505が入力され、第1ラッチ回路1401に保持されていたデータは一斉に第2ラッチ回路1402に転送される。

このとき、検査回路ラッチ出力(C1～C4、Cm)は、図15に示すとおり、全てHレベルとなる(1506)。

次に、第2フレーム期間(Period2)に移る。第1フレーム期間と同様

に、クロック信号とスタートパルス1511に従い、行選択パルス1512が順次出力され、各行のゲート信号線を選択する。

その後も同様に、順次出力される行選択パルス1512は、検査回路内の第1ラッチ回路1401に入力され、検査用信号(CCK1、CCK2)1503  
5 もしくは1504の取り込みを行う。この期間(Period2)においては、全ての第1ラッチ回路1401において、Lレベルが取り込まれるようにしておく。行選択パルス1512が1行目から最終行まで出力され、検査回路内の第1ラッチ回路1401の全段での取り込みが完了した後、検査用データラッチ信号(CLAT)1515が入力され、第1ラッチ回路1401に保持されて  
10 いたデータは一斉に第2ラッチ回路1402に転送される。

このとき、検査回路ラッチ出力(C1~C4、Cm)は、全てLレベルとなる(1516)。

その後は、実施の形態1で示したソースドライバの検査と同様の手順により、ゲート信号線の選択タイミング等の正当性を判定する。判定回路1312の動  
15 作は同様であるので、ここでは説明を省略する。

また、図16に示すように、検査用信号(CCK1、CCK2)を、例えばゲートドライバ側クロック信号(GCK)と同じ周波数のクロック信号として入力することで、ある行で行選択パルスの出力タイミング不正が生じた場合においても、検査出力をもって不良判定が可能である。この場合、ゲート信号線の  
20 奇数行によってCCK1が取り込まれ、偶数行によってCCK2が取り込まれる。

具体的には、シフトレジスタ部のTFT不良等により、順次出力されるべき行選択パルスが、ある点でパルス幅が広がる等の不良が生ずることがある。通常、クロック信号を用いて制御するシフトレジスタにおいては、クロック信号  
25 のアップエッジもしくはダウンエッジにおいて動作トリガとしている場合が

多いため、パルス幅不正等は、クロック半周期分程度の広がりとなる場合が多い。検査回路内のラッチ動作のタイミングが、ここで述べたような不正パルスによって決定された場合、図15に示したような検査用信号では、正常と判定されてしまうが、図16に示したようなクロック信号状の検査用信号を用いる  
5 と、不正なタイミングで第1ラッチ回路1401が動作した場合、取り込み時のデータの論理が反転するため、精度良く不良判定が可能である。

実施形態1、実施形態2で示した本発明の検査回路は、表示装置の実仕様上の動作に関しては必要のない回路である。よって、図17Aに示すように、基板上に検査回路1701、1702が一体形成された第1モジュール1700  
10 を形成した後、上述の検査工程を経て、最終的に所望のサイズに分断する際、図17Bに示すように検査回路1701、1702を除去し、モジュール1710を得ると良い。

また、表示装置に限らず、メモリ等に使用されているアドレスデコーダの出力判定等に用いることも可能であり、多数の信号出力ピンを有する半導体装置  
15 の検査への広い適用が期待出来る。

## 請求の範囲

1. 複数の信号線からの信号がそれぞれ入力される複数の入力端子と、検査出力を得られる2つの出力端子を有し、
- 5 前記2つの出力端子に得られる2つの信号から、半導体装置の動作可否の判定を行うことを特徴とする半導体装置の検査回路。
2. 請求項1において、  
前記検査回路は、複数のNANDと、複数のNORと、複数のインバータを有し、  
前記複数のNANDにおいて、 $i$ 段目( $i$ は2以上の整数)のNANDの出力端子は、  
10 前記インバータを介して $i+1$ 段目のNANDの第1の入力端子と電氣的に接続され、  
前記複数のNORにおいて、 $i$ 段目( $i$ は2以上の整数)のNORの出力端子は、前記インバータを介して $i+1$ 段目のNORの第1の入力端子と電氣的に接続され、  
前記複数の入力端子はそれぞれ、前記複数のNANDの第2の入力端子および、  
前記複数のNORの第2の入力端子と電氣的に接続され、  
15 前記複数のNANDにおいて、最終段のNANDの出力端子は、第1の検査出力を得る出力端子と電氣的に接続され、  
前記複数のNORにおいて、最終段のNORの出力端子は、第2の検査出力を得る出力端子と電氣的に接続されたことを特徴とする半導体装置の検査回路。
3. 請求項1において、  
20 前記検査回路は、複数のNANDと、複数のNORと、複数のインバータと、比較回路を有し、  
前記複数のNANDにおいて、 $i$ 段目( $i$ は2以上の整数)のNANDの出力端子は、  
前記インバータを介して $i+1$ 段目のNANDの第1の入力端子と電氣的に接続され、  
前記複数のNORにおいて、 $i$ 段目( $i$ は2以上の整数)のNORの出力端子は、前記  
25 インバータを介して $i+1$ 段目のNORの第1の入力端子と電氣的に接続され、

前記複数の入力端子はそれぞれ、前記複数のNANDの第2の入力端子および、  
前記複数のNORの第2の入力端子と電氣的に接続され、

前記複数のNANDにおいて、最終段のNANDの出力端子は、前記比較回路の  
第1の入力端子と電氣的に接続され、

- 5 前記複数のNORにおいて、最終段のNORの出力端子は、前記比較回路の第2  
の入力端子と電氣的に接続され、

前記比較回路の出力端子は、前記検査出力を得る出力端子と電氣的に接続さ  
れたことを特徴とする半導体装置の検査回路。

4. 請求項3において、

- 10 前記比較回路にExNORを用いたことを特徴とする半導体装置の検査回路。

5. 複数の信号出力線を含む検査回路を有し、

前記検査回路は、前記複数の信号出力線からの信号をそれぞれ入力する複数  
の入力端子と、検査出力を得る出力端子を有し、

- 前記複数の入力端子に信号が入力されることによって、前記出力端子に得られ  
15 る出力パターンと、リファレンスパターンとの比較によって半導体装置の動作可否の  
判定を行うことを特徴とする半導体装置の検査回路。

6. 請求項5において、

前記検査回路は、複数のNANDと、複数のNORと、複数のインバータを有し、

- 前記複数のNANDにおいて、 $i$ 段目( $i$ は2以上の整数)のNANDの出力端子は、  
20 前記インバータを介して $i+1$ 段目のNANDの第1の入力端子と電氣的に接続され、

前記複数のNORにおいて、 $i$ 段目( $i$ は2以上の整数)のNORの出力端子は、前記  
インバータを介して $i+1$ 段目のNORの第1の入力端子と電氣的に接続され、

前記複数の入力端子はそれぞれ、前記複数のNANDの第2の入力端子および、  
前記複数のNORの第2の入力端子と電氣的に接続され、

- 25 前記複数のNANDにおいて、最終段のNANDの出力端子は、第1の検査出力を

得る出力端子と電氣的に接続され、

前記複数のNORにおいて、最終段のNORの出力端子は、第2の検査出力を得る出力端子と電氣的に接続されたことを特徴とする半導体装置の検査回路。

7. 請求項5において、

- 5 前記検査回路は、複数のNANDと、複数のNORと、複数のインバータと、比較回路を有し、

前記複数のNANDにおいて、 $i$ 段目( $i$ は2以上の整数)のNANDの出力端子は、前記インバータを介して $i+1$ 段目のNANDの第1の入力端子と電氣的に接続され、

- 前記複数のNORにおいて、 $i$ 段目( $i$ は2以上の整数)のNORの出力端子は、前記  
10 インバータを介して $i+1$ 段目のNORの第1の入力端子と電氣的に接続され、

前記複数の入力端子はそれぞれ、前記複数のNANDの第2の入力端子および、前記複数のNORの第2の入力端子と電氣的に接続され、

前記複数のNANDにおいて、最終段のNANDの出力端子は、前記比較回路の第1の入力端子と電氣的に接続され、

- 15 前記複数のNORにおいて、最終段のNORの出力端子は、前記比較回路の第2の入力端子と電氣的に接続され、

前記比較回路の出力端子は、前記検査出力を得る出力端子と電氣的に接続されたことを特徴とする半導体装置の検査回路。

8. 請求項7において、

- 20 前記比較回路にExNORを用いたことを特徴とする半導体装置の検査回路。

9. クロック信号、スタートパルス及び映像信号を入力し、前記クロック信号、前記スタートパルス及び前記映像信号にしたがって、複数のソース信号線に信号を出力するソースドライバを含む検査回路を有し、

前記検査回路は、前記複数のソース信号線に出力された信号をそれぞれ入力す

- 25 る複数の入力端子と、検査出力を得る出力端子を有し、

前記複数の入力端子に信号が入力されることによって得られる出力パターンと、リファレンスパターンとの比較によって前記ソースドライバの動作可否の判定を行うことを特徴とする半導体装置の検査回路。

10. 請求項9において、

- 5 前記検査回路は、複数のNANDと、複数のNORと、複数のインバータを有し、  
前記複数のNANDにおいて、 $i$ 段目( $i$ は2以上の整数)のNANDの出力端子は、  
前記インバータを介して $i+1$ 段目のNANDの第1の入力端子と電氣的に接続され、  
前記複数のNORにおいて、 $i$ 段目( $i$ は2以上の整数)のNORの出力端子は、前記  
インバータを介して $i+1$ 段目のNORの第1の入力端子と電氣的に接続され、  
10 前記複数の入力端子はそれぞれ、前記複数のNANDの第2の入力端子および、  
前記複数のNORの第2の入力端子と電氣的に接続され、  
前記複数のNANDにおいて、最終段のNANDの出力端子は、第1の検査出力を  
得る出力端子と電氣的に接続され、  
前記複数のNORにおいて、最終段のNORの出力端子は、第2の検査出力を得  
15 る出力端子と電氣的に接続されたことを特徴とする半導体装置の検査回路。

11. 請求項9において、

前記検査回路は、複数のNANDと、複数のNORと、複数のインバータと、比較回路を有し、

- 前記複数のNANDにおいて、 $i$ 段目( $i$ は2以上の整数)のNANDの出力端子は、  
20 前記インバータを介して $i+1$ 段目のNANDの第1の入力端子と電氣的に接続され、  
前記複数のNORにおいて、 $i$ 段目( $i$ は2以上の整数)のNORの出力端子は、前記  
インバータを介して $i+1$ 段目のNORの第1の入力端子と電氣的に接続され、  
前記複数の入力端子はそれぞれ、前記複数のNANDの第2の入力端子および、  
前記複数のNORの第2の入力端子と電氣的に接続され、  
25 前記複数のNANDにおいて、最終段のNANDの出力端子は、前記比較回路の

第1の入力端子と電氣的に接続され、

前記複数のNORにおいて、最終段のNORの出力端子は、前記比較回路の第2の入力端子と電氣的に接続され、

前記比較回路の出力端子は、前記検査出力を得る出力端子と電氣的に接続されたことを特徴とする半導体装置の検査回路。

12. 請求項11において、

前記比較回路にExNORを用いたことを特徴とする半導体装置の検査回路。

13. クロック信号及びスタートパルスを入力し、前記クロック信号及び前記スタートパルスにしたがって複数のゲート信号線に選択パルスを順次出力するゲートドライバを含む検査回路を有し、

前記検査回路は、前記複数のゲート信号線に順次出力される選択パルスにしたがって、検査用信号の取り込みを行う複数のラッチ回路と、

前記複数のラッチ回路からの出力信号をそれぞれ入力する複数の入力端子と、検査出力を得る出力端子を有し、

15 前記複数の入力端子の全てに信号が入力されることによって得られる出力パターンと、リファレンスパターンとの比較によって前記ゲートドライバの動作可否の判定を行うことを特徴とする半導体装置の検査回路。

14. 請求項13において、

前記検査回路は、複数のNANDと、複数のNORと、複数のインバータを有し、

20 前記複数のNANDにおいて、 $i$ 段目( $i$ は2以上の整数)のNANDの出力端子は、前記インバータを介して $i+1$ 段目のNANDの第1の入力端子と電氣的に接続され、

前記複数のNORにおいて、 $i$ 段目( $i$ は2以上の整数)のNORの出力端子は、前記インバータを介して $i+1$ 段目のNORの第1の入力端子と電氣的に接続され、

前記複数の入力端子はそれぞれ、前記複数のNANDの第2の入力端子および、

25 前記複数のNORの第2の入力端子と電氣的に接続され、



前記複数のNANDにおいて、最終段のNANDの出力端子は、第1の検査出力を得る出力端子と電氣的に接続され、

前記複数のNORにおいて、最終段のNORの出力端子は、第2の検査出力を得る出力端子と電氣的に接続されたことを特徴とする半導体装置の検査回路。

5 15. 請求項13において、

前記検査回路は、複数のNANDと、複数のNORと、複数のインバータと、比較回路を有し、

前記複数のNANDにおいて、 $i$ 段目( $i$ は2以上の整数)のNANDの出力端子は、前記インバータを介して $i+1$ 段目のNANDの第1の入力端子と電氣的に接続され、

10 前記複数のNORにおいて、 $i$ 段目( $i$ は2以上の整数)のNORの出力端子は、前記インバータを介して $i+1$ 段目のNORの第1の入力端子と電氣的に接続され、

前記複数の入力端子はそれぞれ、前記複数のNANDの第2の入力端子および、前記複数のNORの第2の入力端子と電氣的に接続され、

15 前記複数のNANDにおいて、最終段のNANDの出力端子は、前記比較回路の第1の入力端子と電氣的に接続され、

前記複数のNORにおいて、最終段のNORの出力端子は、前記比較回路の第2の入力端子と電氣的に接続され、

前記比較回路の出力端子は、前記検査出力を得る出力端子と電氣的に接続されたことを特徴とする半導体装置の検査回路。

20 16. 請求項15において、

前記比較回路にExNORを用いたことを特徴とする半導体装置の検査回路。

17. 複数のNANDと、複数のNORと、複数のインバータを有し、

前記複数のNANDにおいて、 $i$ 段目( $i$ は2以上の整数)のNANDの出力端子は、前記インバータを介して $i+1$ 段目のNANDの第1の入力端子と電氣的に接続され、

25 前記複数のNORにおいて、 $i$ 段目( $i$ は2以上の整数)のNORの出力端子は、前記

インバータを介して $i+1$ 段目のNORの第1の入力端子と電氣的に接続され、

前記複数の入力端子はそれぞれ、前記複数のNANDの第2の入力端子および、  
前記複数のNORの第2の入力端子と電氣的に接続され、

前記複数のNANDにおいて、最終段のNANDの出力端子は、第1の検査出力を  
5 得る出力端子と電氣的に接続され、

前記複数のNORにおいて、最終段のNORの出力端子は、第2の検査出力を得  
る出力端子と電氣的に接続されたことを特徴とする半導体装置の検査回路。

18. 複数のNANDと、複数のNORと、複数のインバータと、比較回路を有し、

前記複数のNANDにおいて、 $i$ 段目( $i$ は2以上の整数)のNANDの出力端子は、  
10 前記インバータを介して $i+1$ 段目のNANDの第1の入力端子と電氣的に接続され、

前記複数のNORにおいて、 $i$ 段目( $i$ は2以上の整数)のNORの出力端子は、前記  
インバータを介して $i+1$ 段目のNORの第1の入力端子と電氣的に接続され、

前記複数の入力端子はそれぞれ、前記複数のNANDの第2の入力端子および、  
前記複数のNORの第2の入力端子と電氣的に接続され、

15 前記複数のNANDにおいて、最終段のNANDの出力端子は、前記比較回路の  
第1の入力端子と電氣的に接続され、

前記複数のNORにおいて、最終段のNORの出力端子は、前記比較回路の第2  
の入力端子と電氣的に接続され、

前記比較回路の出力端子は、前記検査出力を得る出力端子と電氣的に接続さ  
20 れたことを特徴とする半導体装置の検査回路。

19. 請求項18において、

前記比較回路にExNORを用いたことを特徴とする半導体装置の検査回路。

20. 複数の出力信号線の全てに出力された信号を同時に検査回路に入力する  
ステップと、

25 前記検査回路から出力パターンを得るステップと、

前記出力パターンとリファレンスパターンとの比較によって前記半導体装置の動作可否の判定を行うステップとを有することを特徴とする半導体装置の検査方法。

21. 複数の出力信号線から順次出力される信号にしたがって、順次検査用信号の取り込みを行うステップと、

- 5 前記取り込まれた検査用信号の全てを同時に検査回路に入力するステップと、  
前記検査回路から出力パターンを得るステップと、

前記出力パターンとリファレンスパターンとの比較によって前記半導体装置の動作可否の判定を行うステップとを有することを特徴とする半導体装置の検査方法。

1/17

図1A

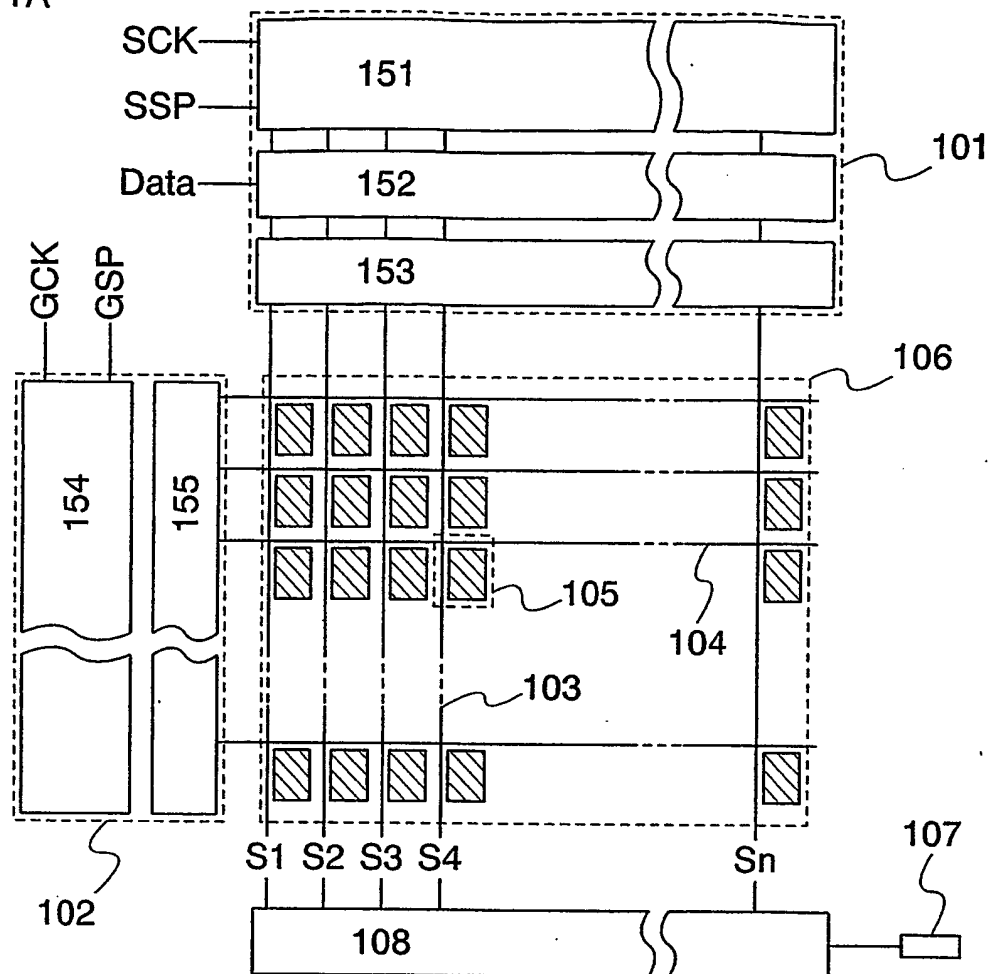


図1B

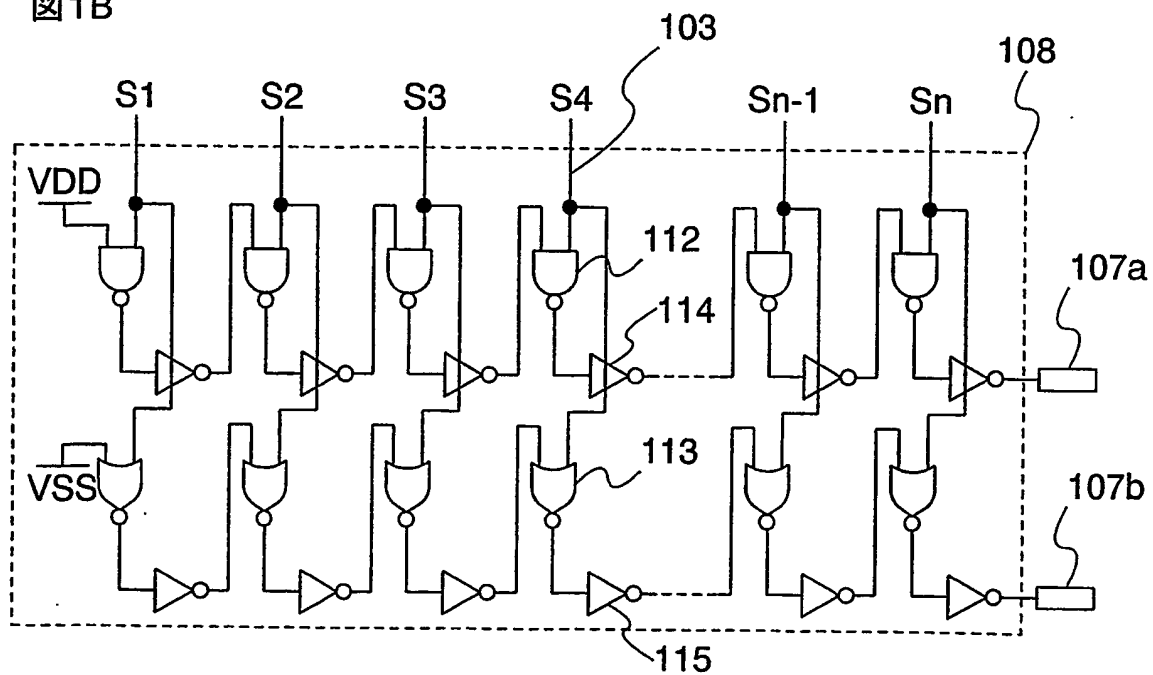


図2

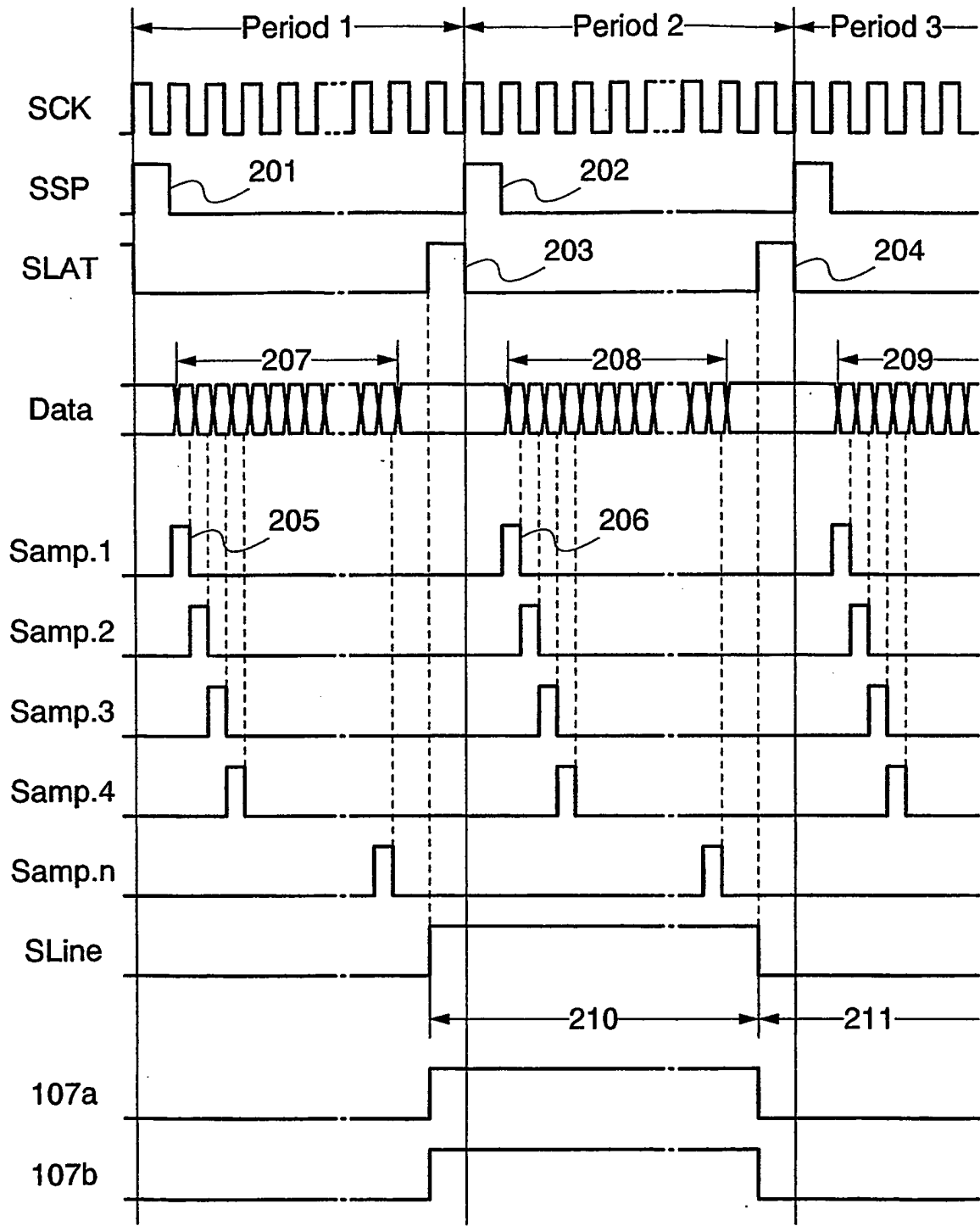


図3A

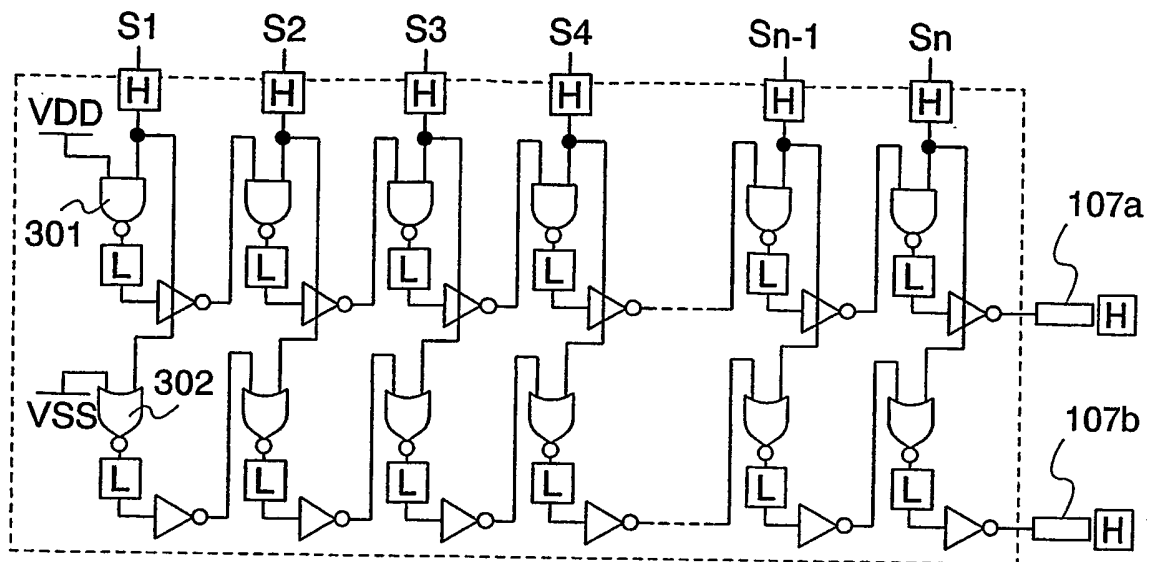
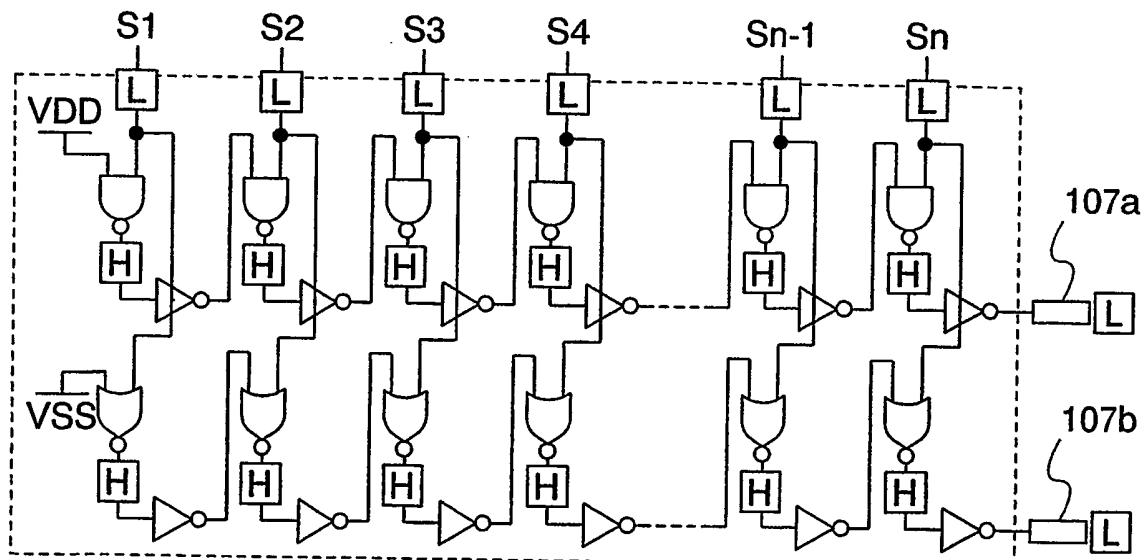


図3B



## 動作不良モードA

図4A

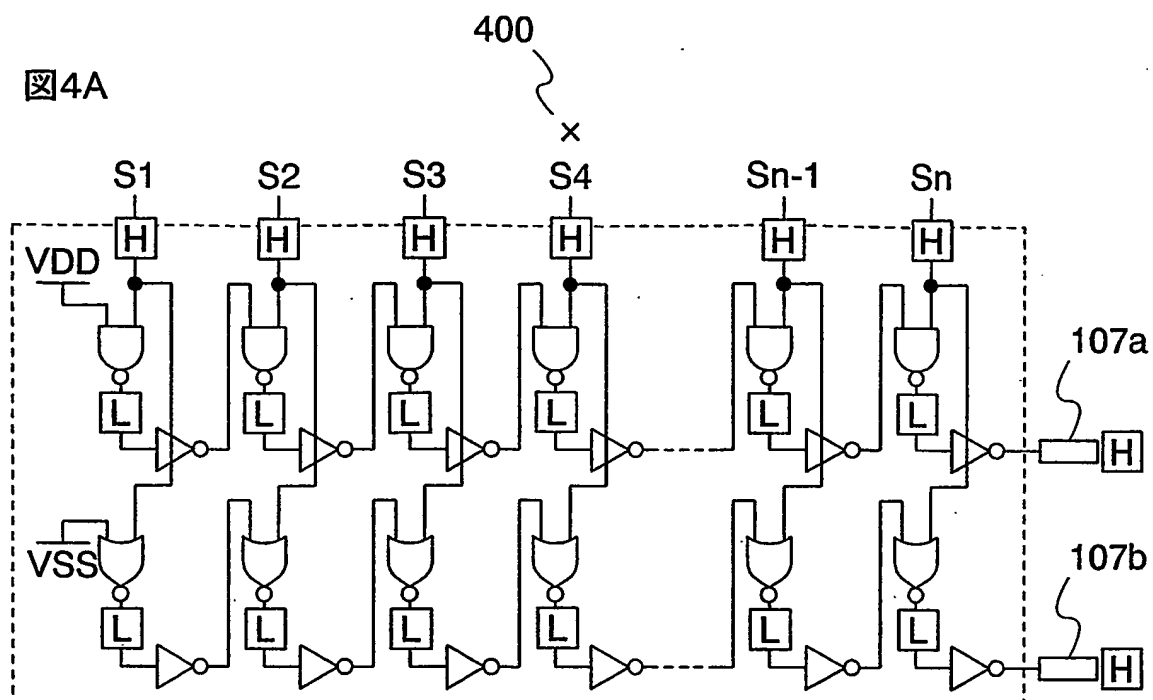
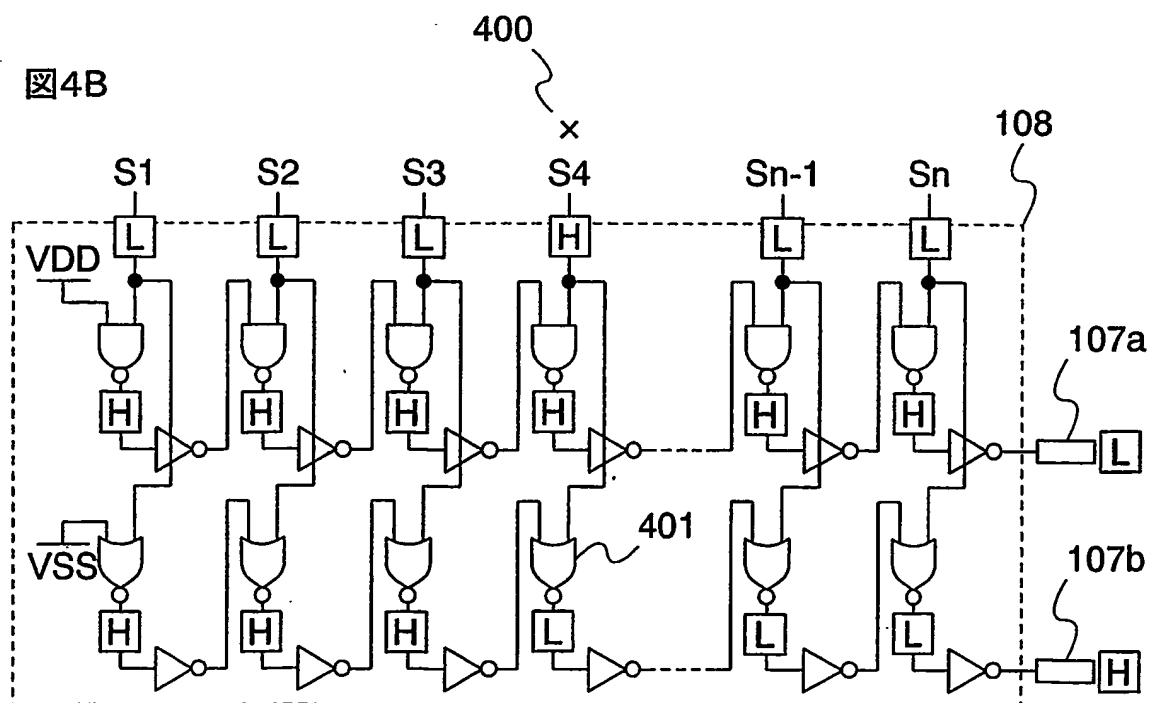


図4B



#### 動作不良モードB

図5A

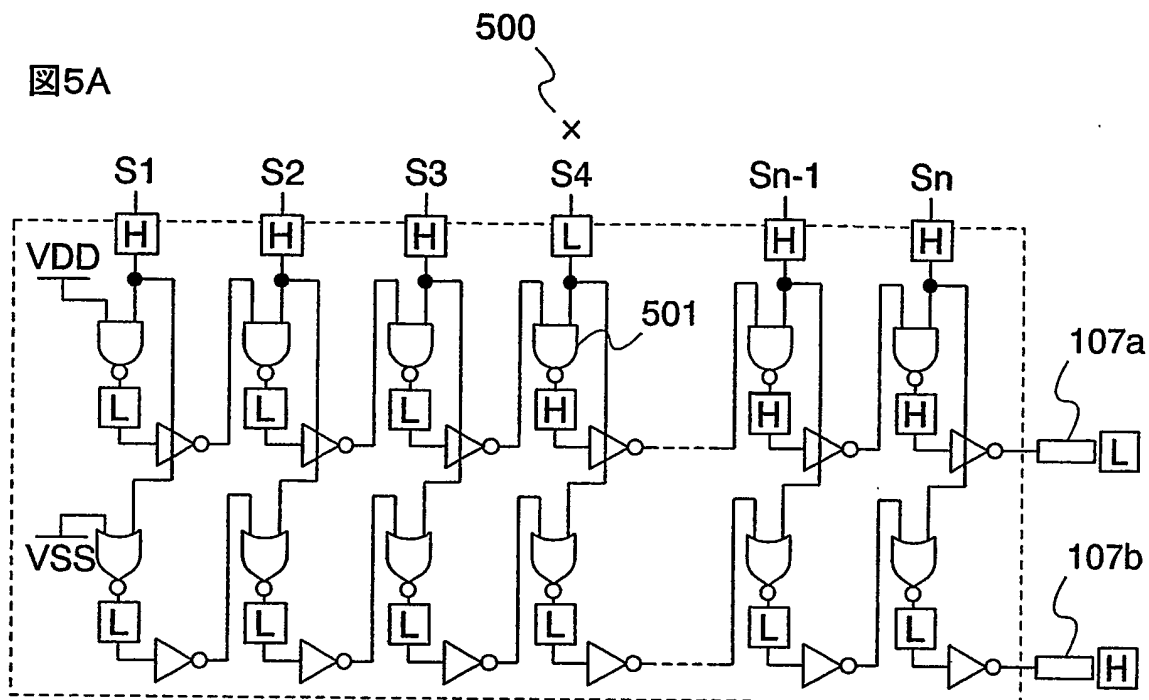
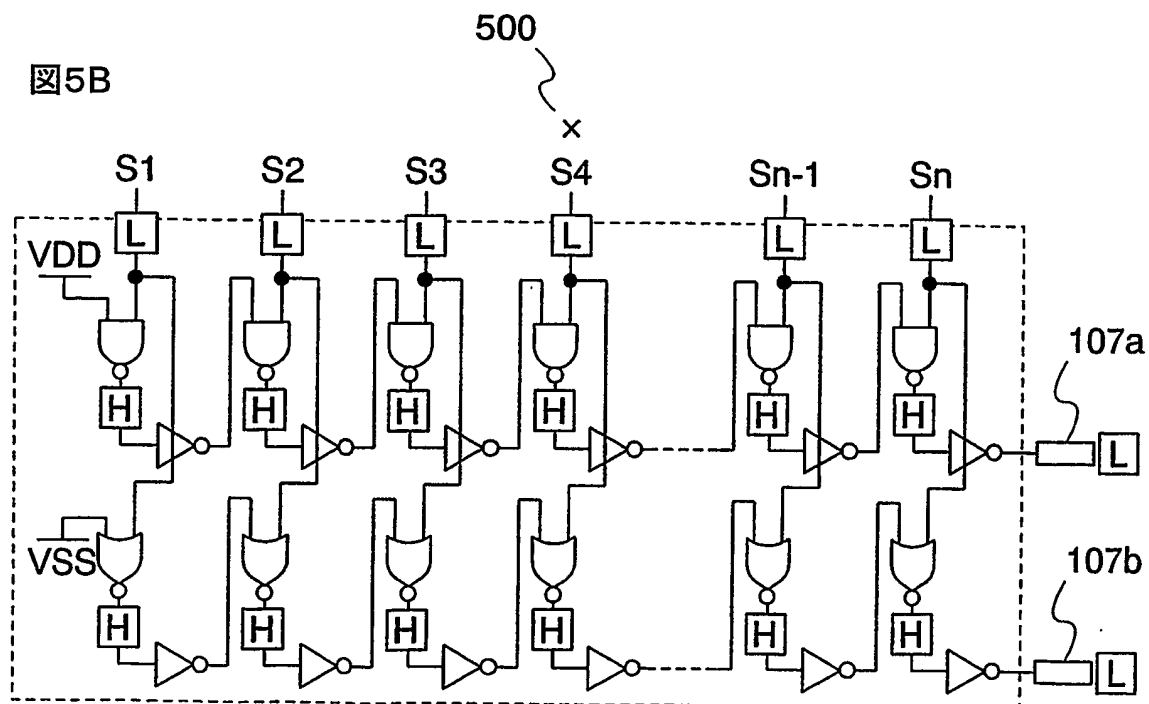


図5B





6/17

## 動作不良モードC

図6A

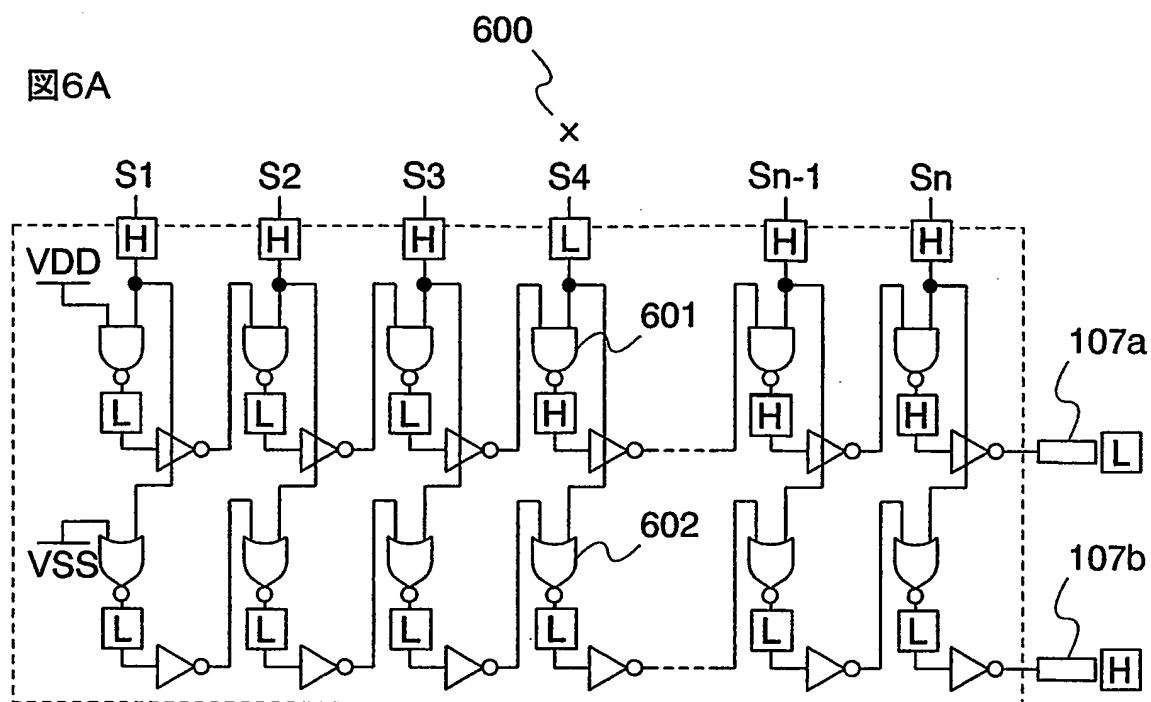
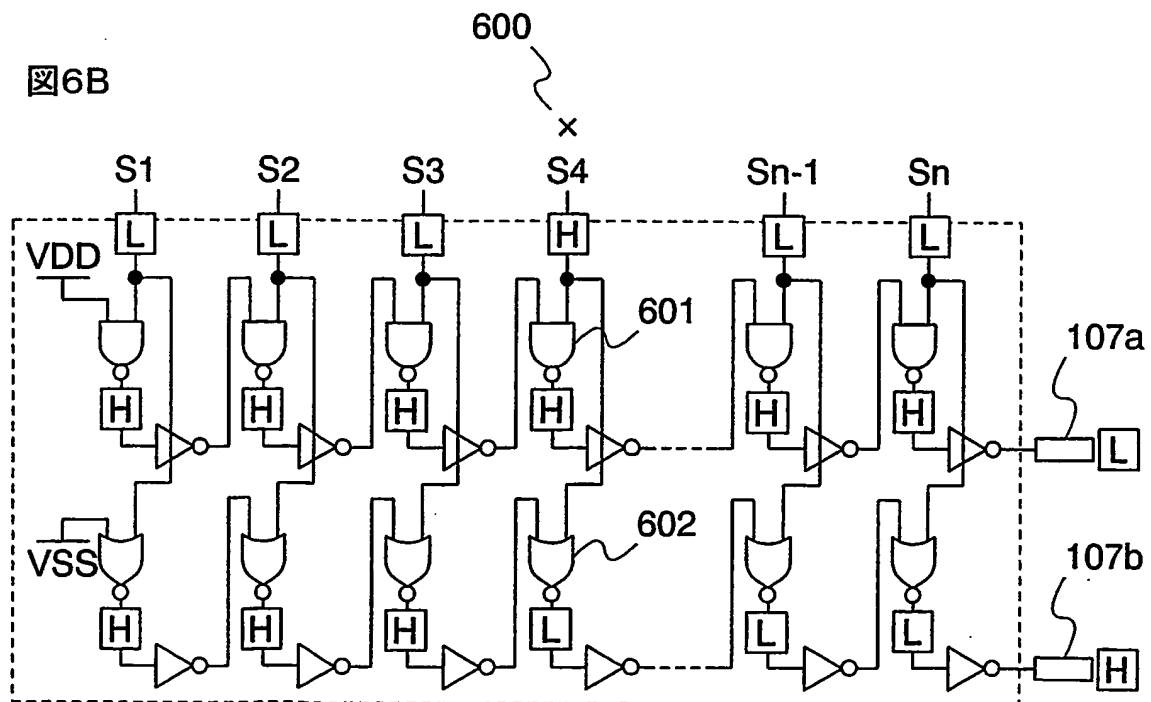
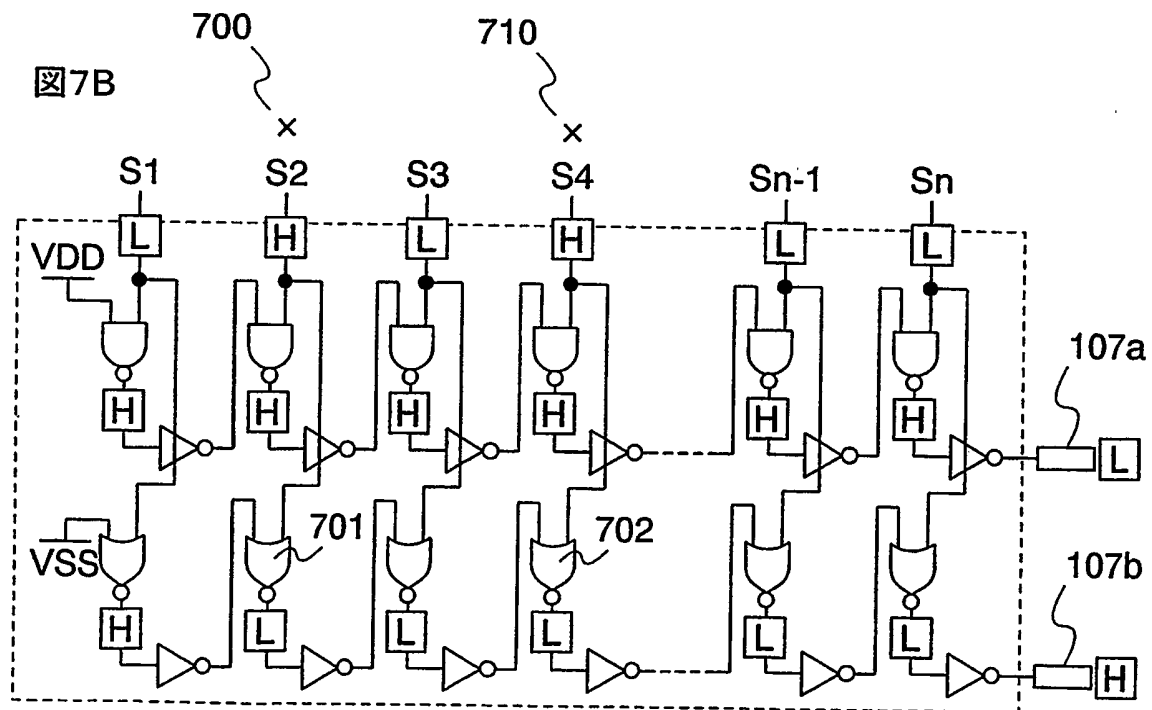
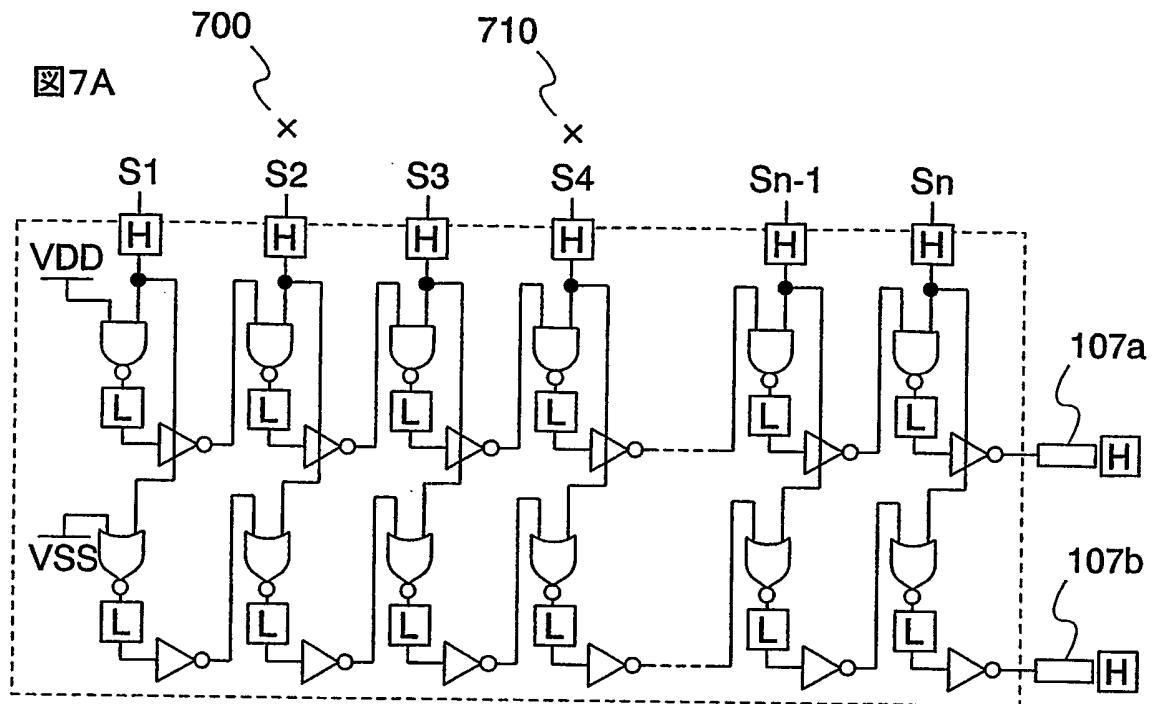


図6B

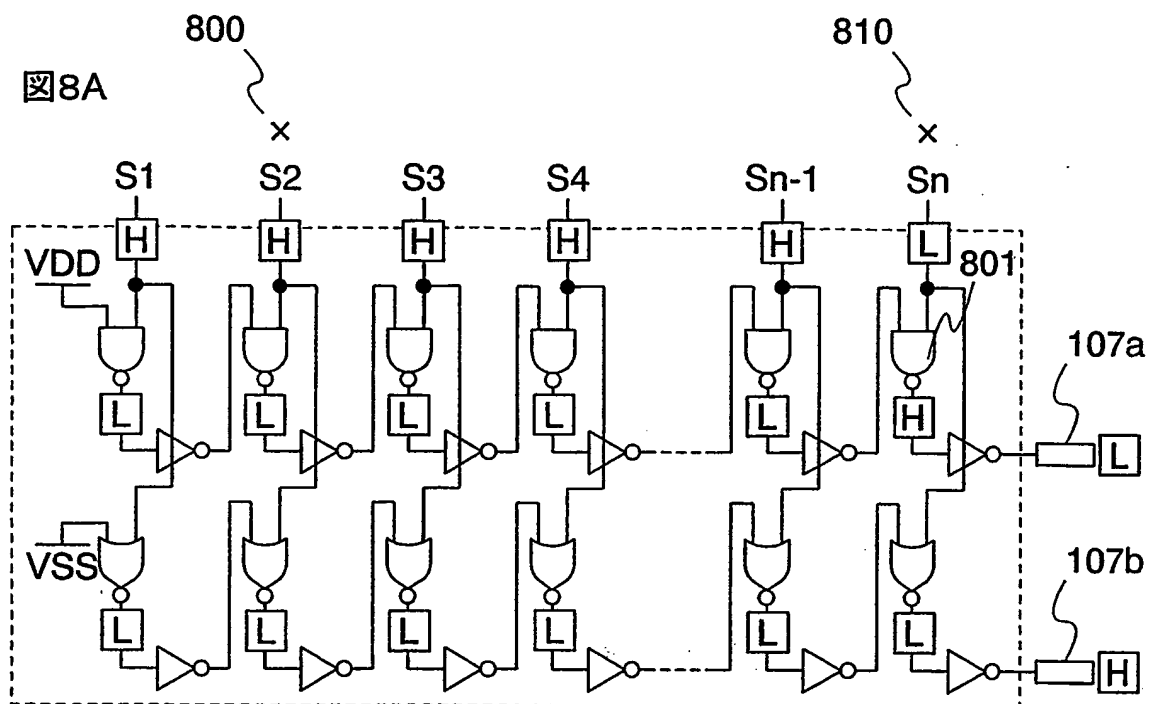


## 動作不良モードD

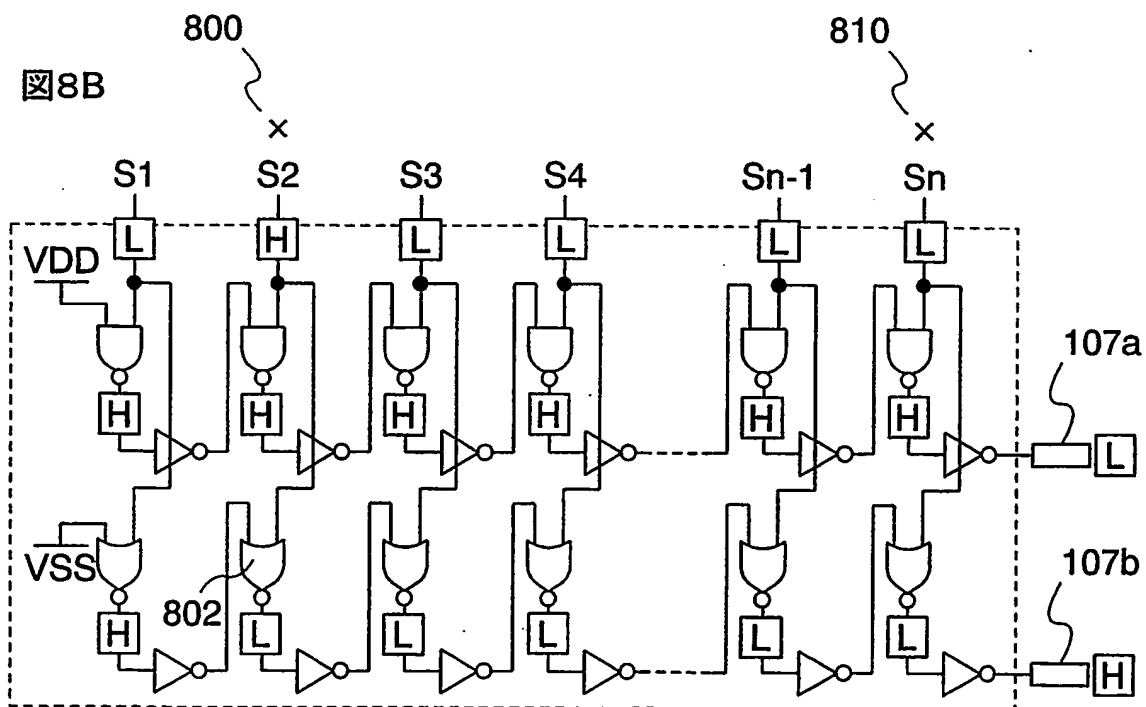


## 動作不良モードE

图8A

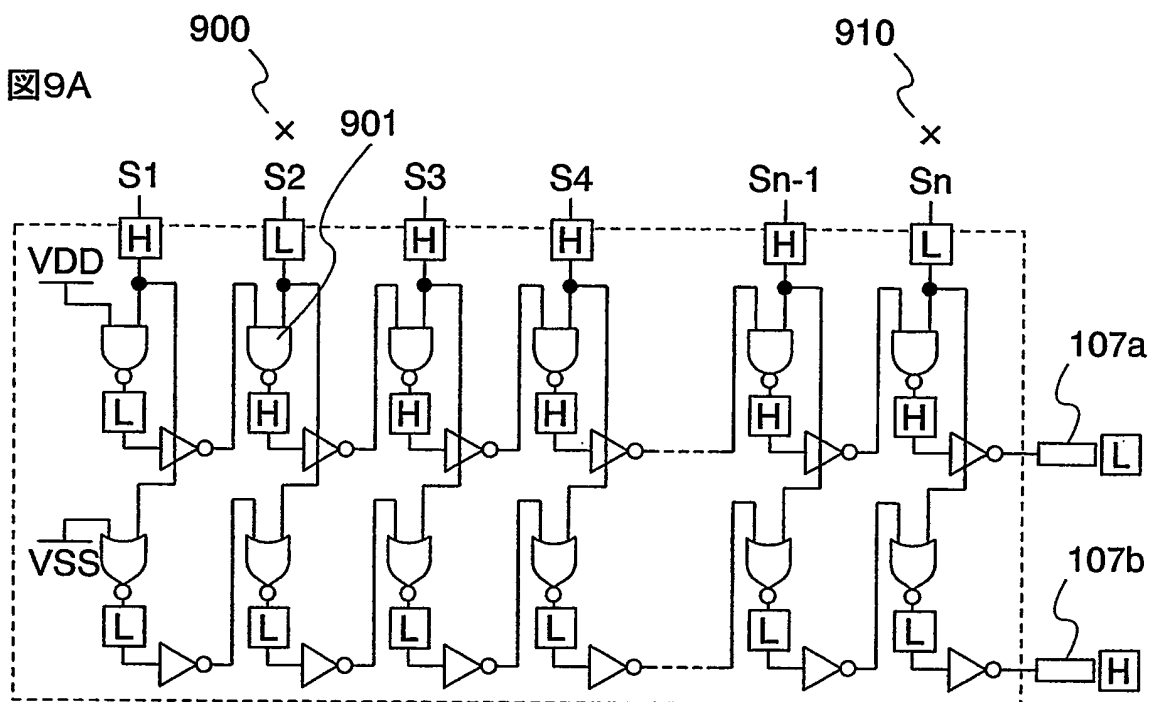


**図8B**



## 動作不良モードF

図9A



**図9B**

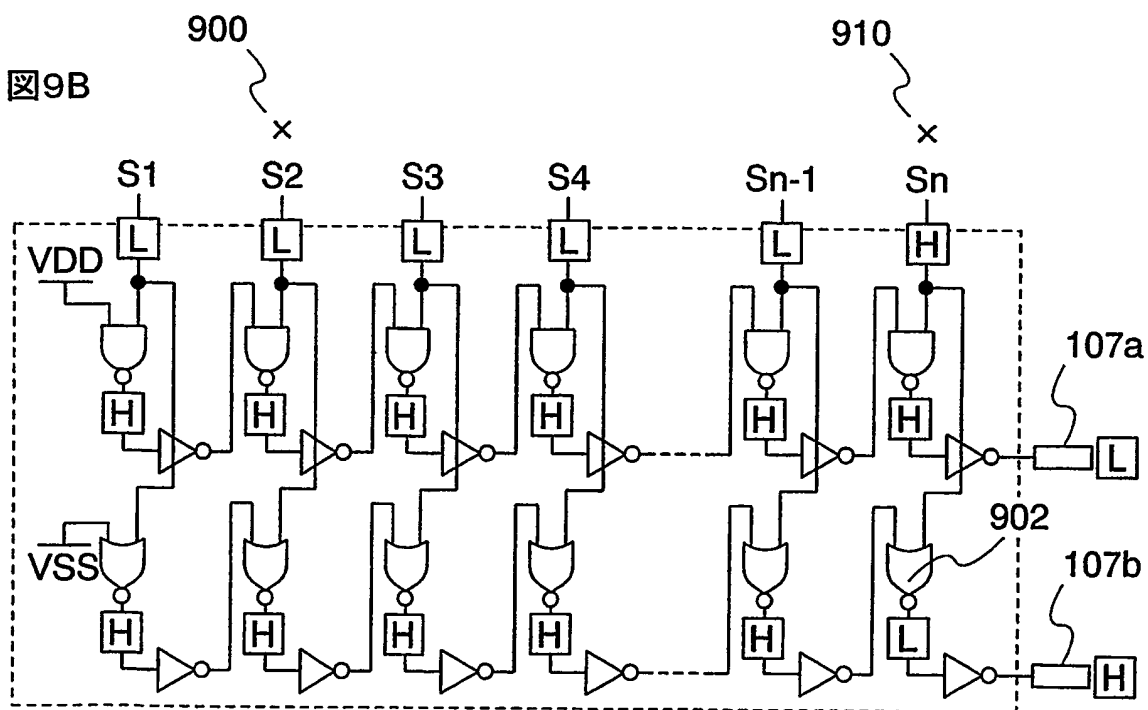


図10A

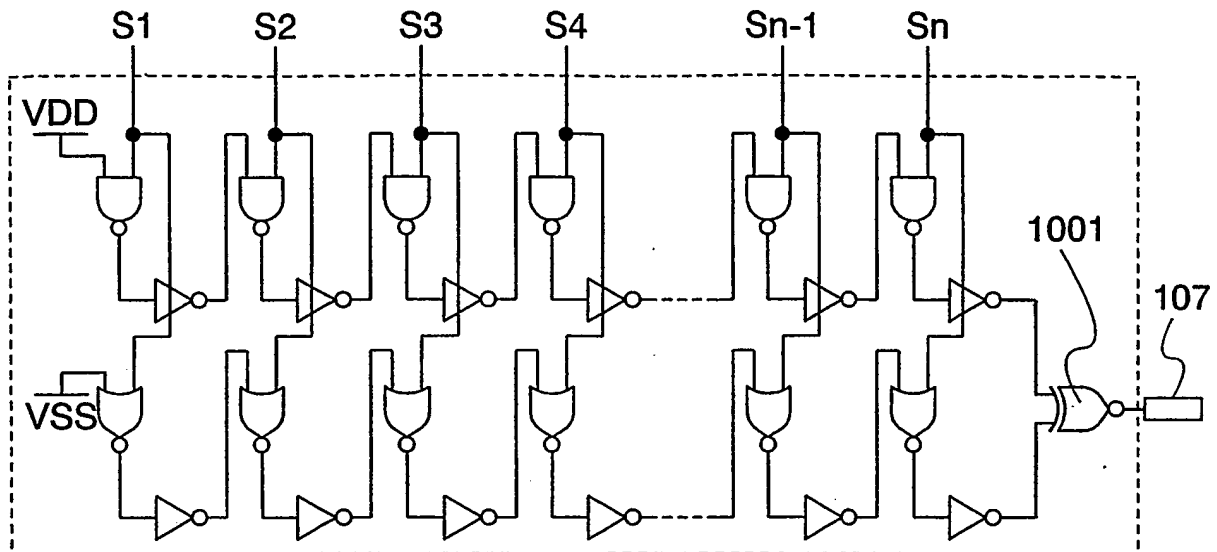
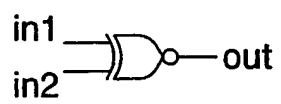


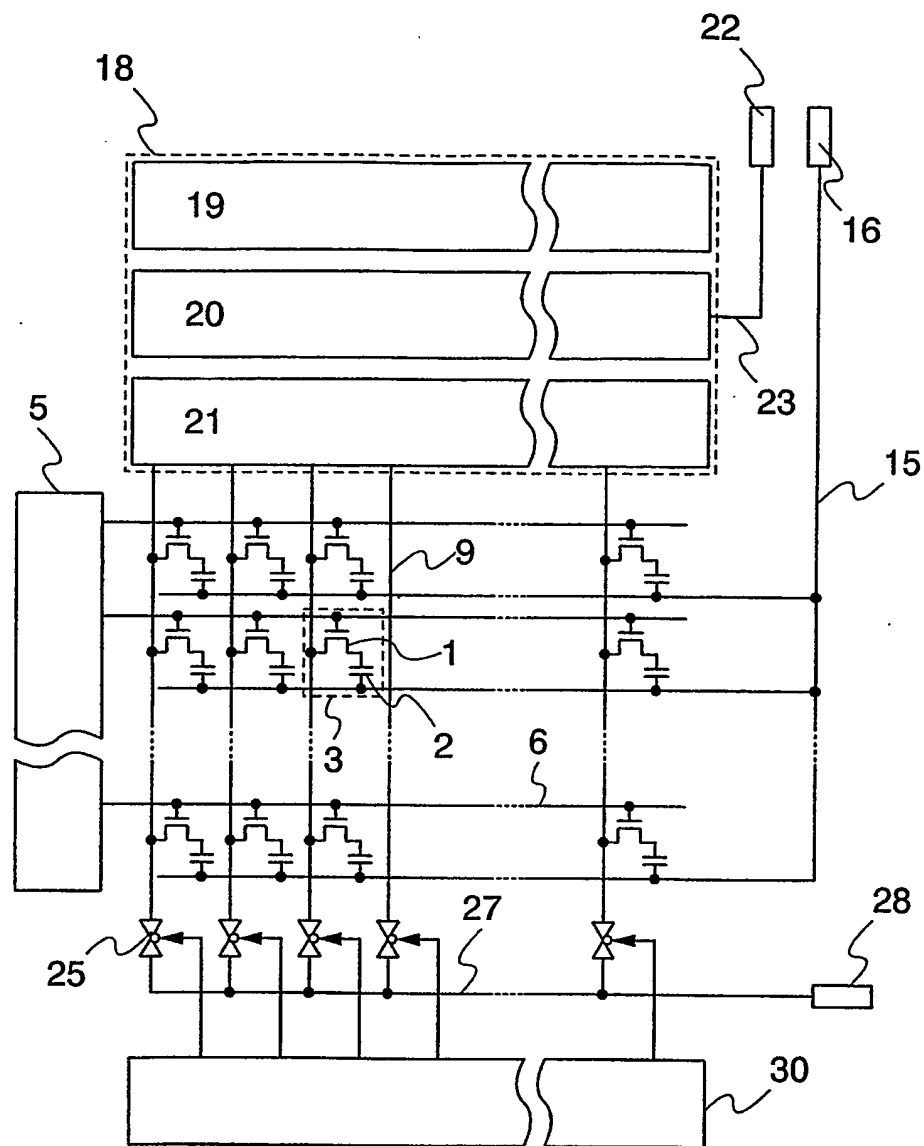
図10B



in1	in2	out
H	H	H
H	L	L
L	H	L
L	L	H

11/17

図11



12/17

図12A

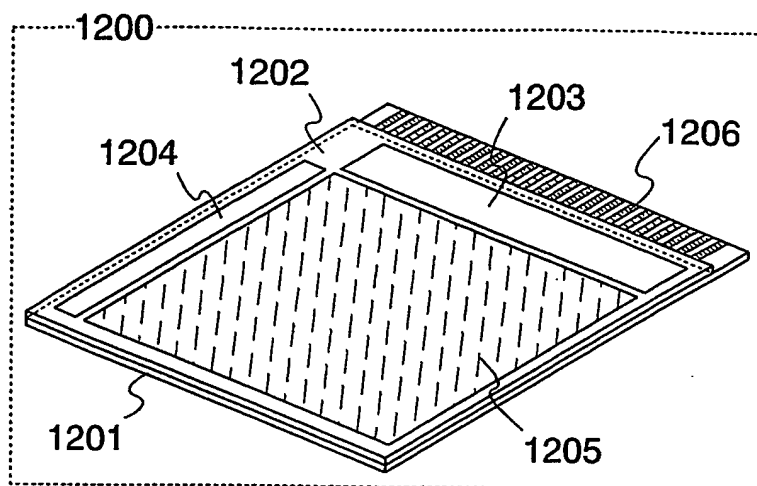
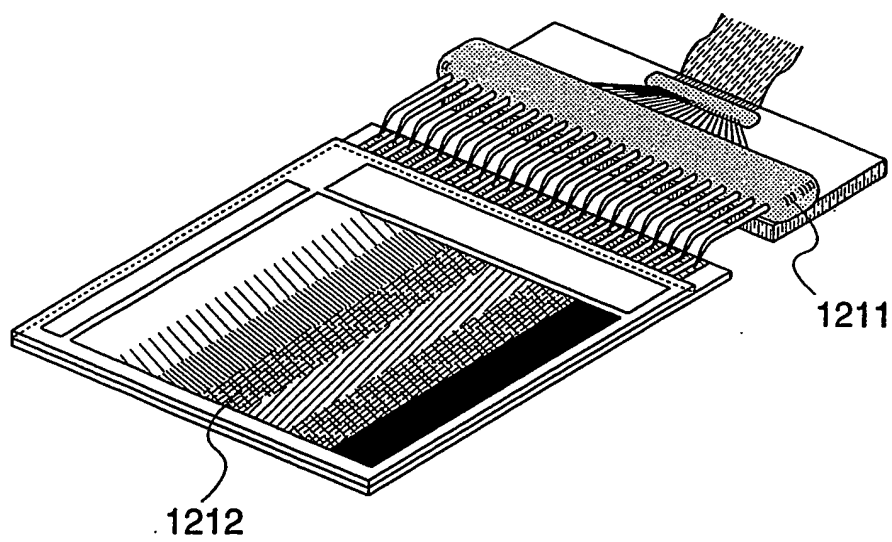
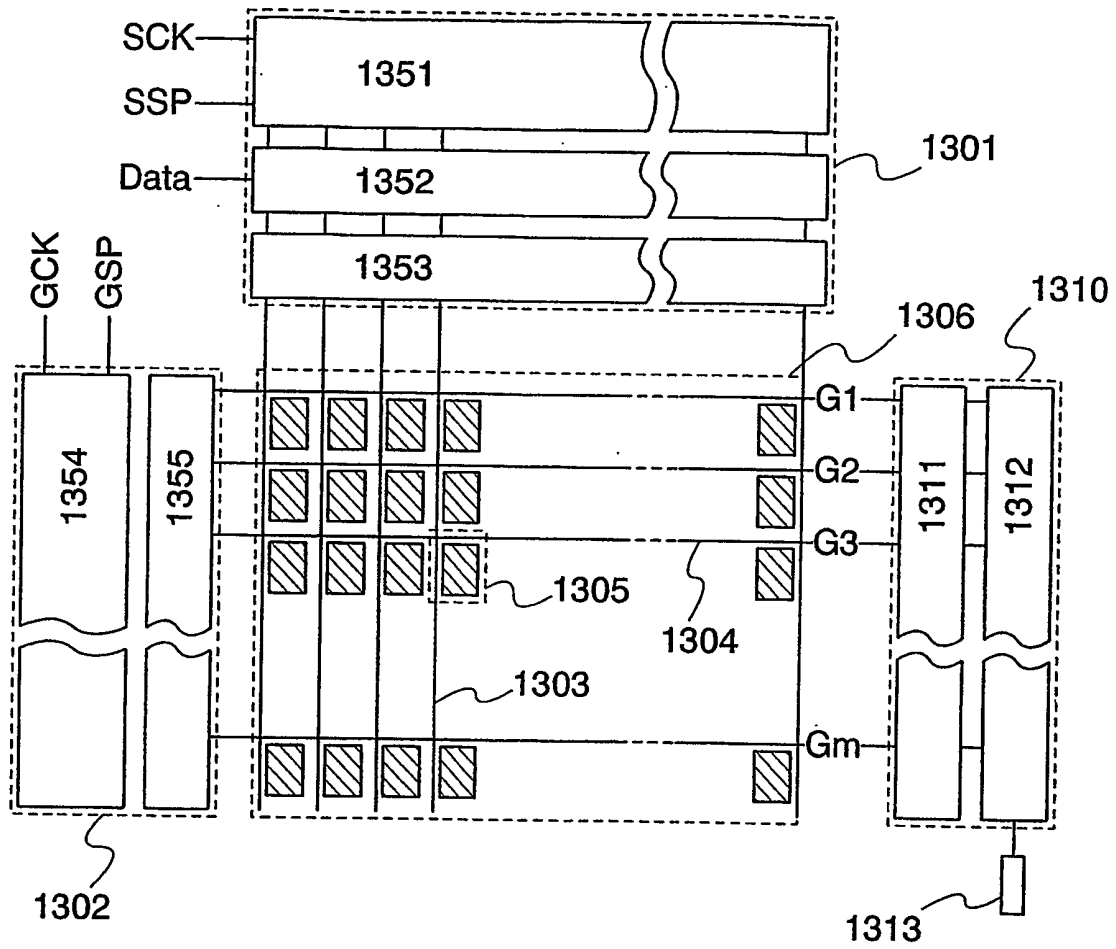


図12B



13/17

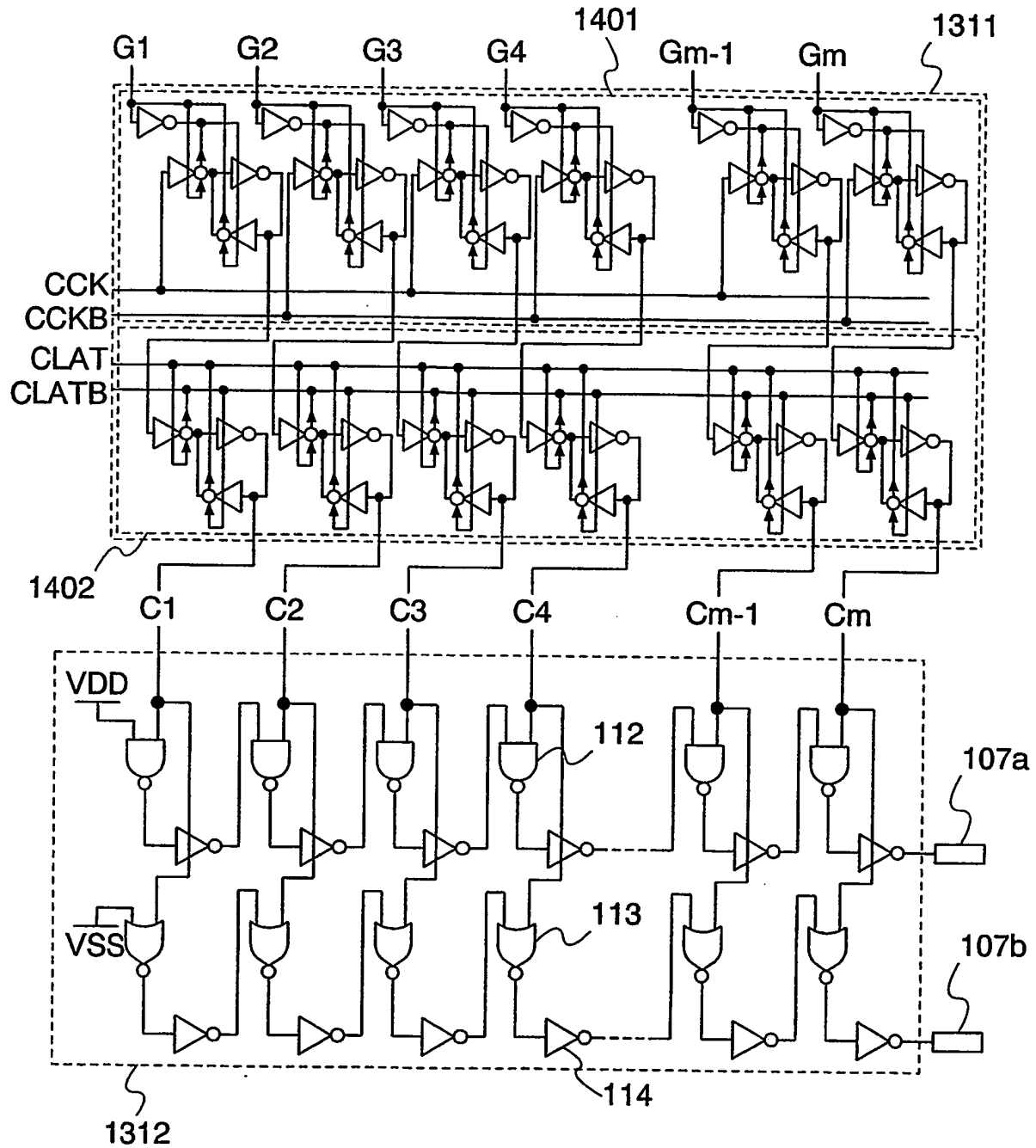
図13





14/17

图14



15/17

図15

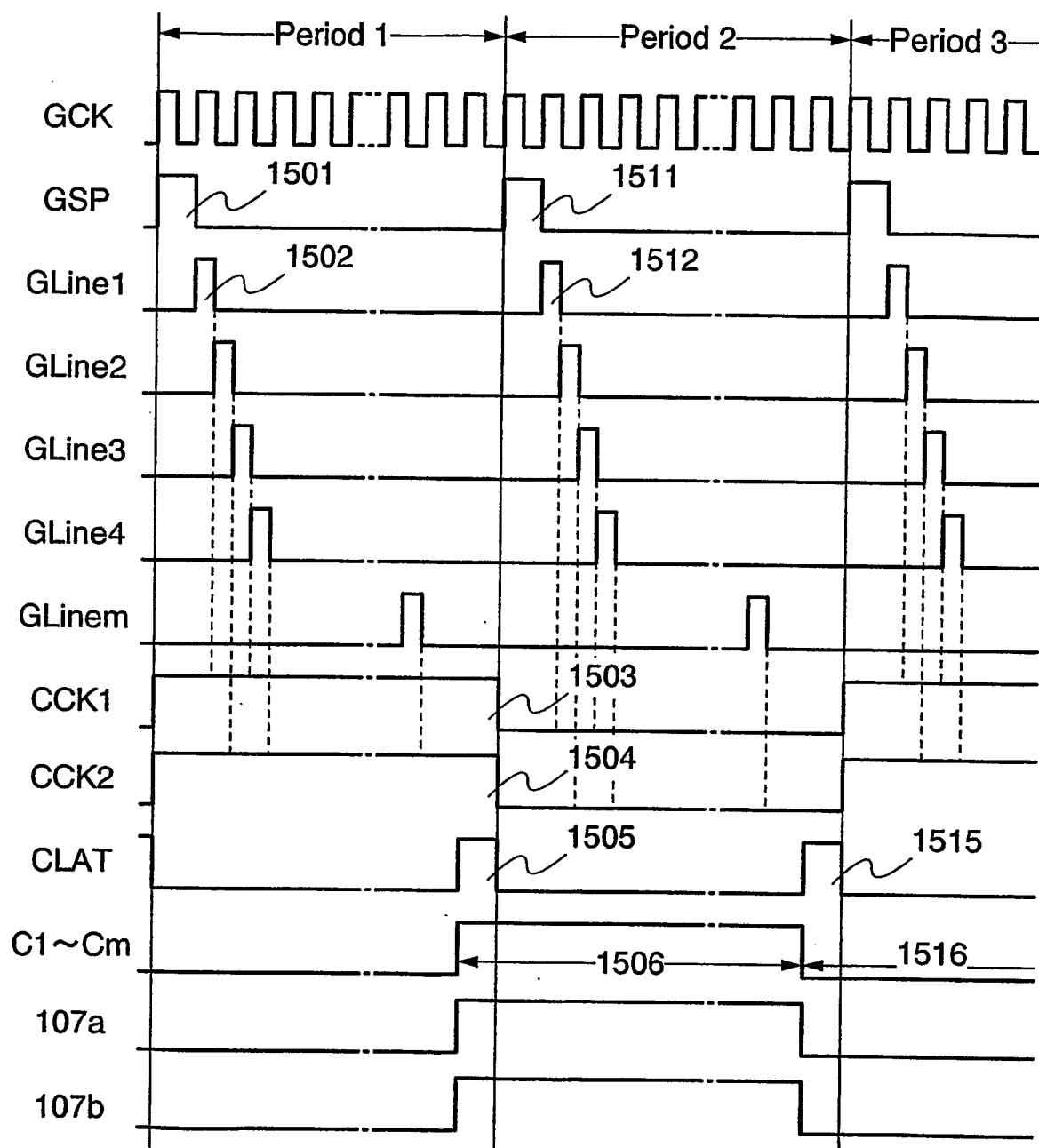


図16

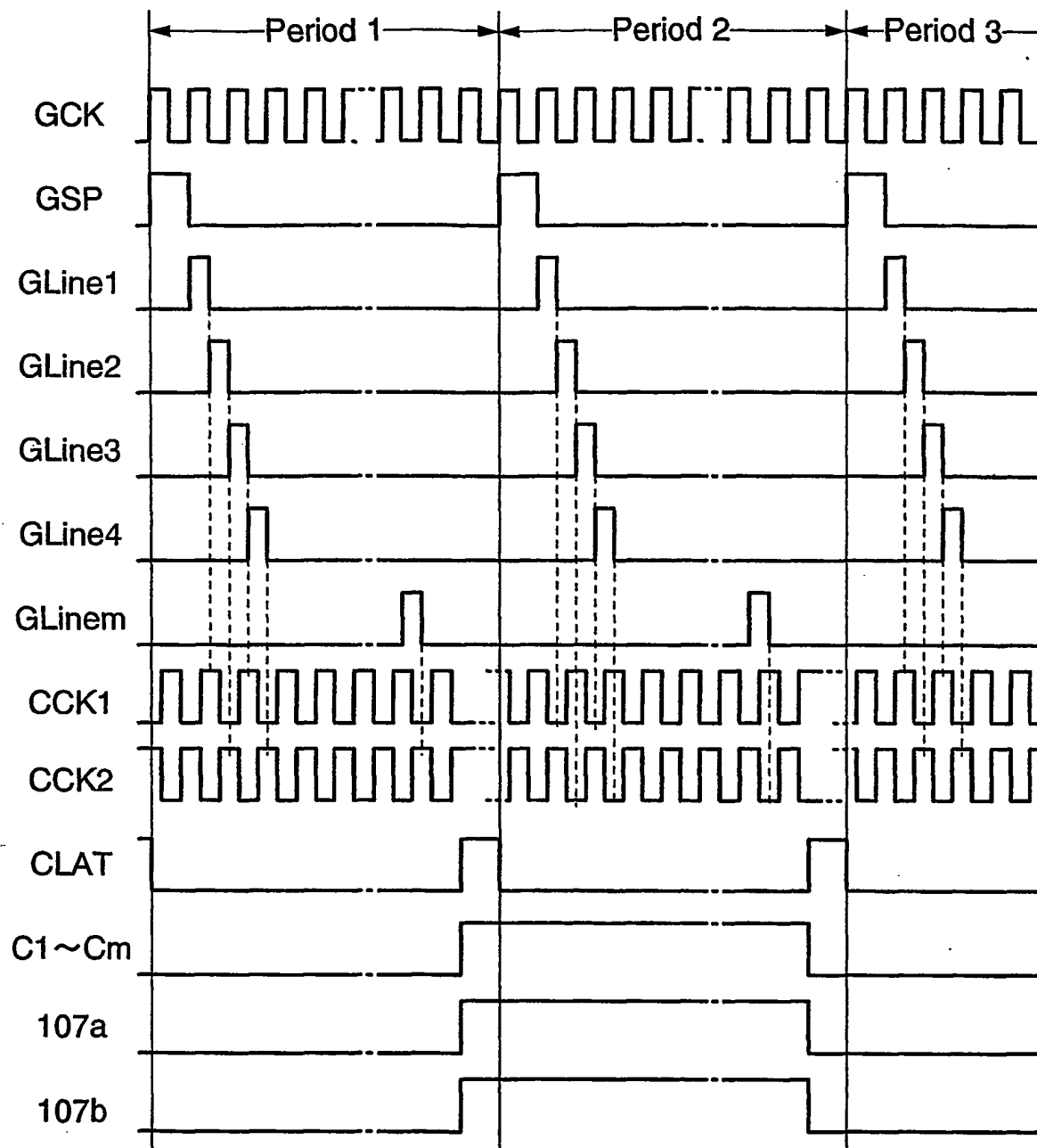
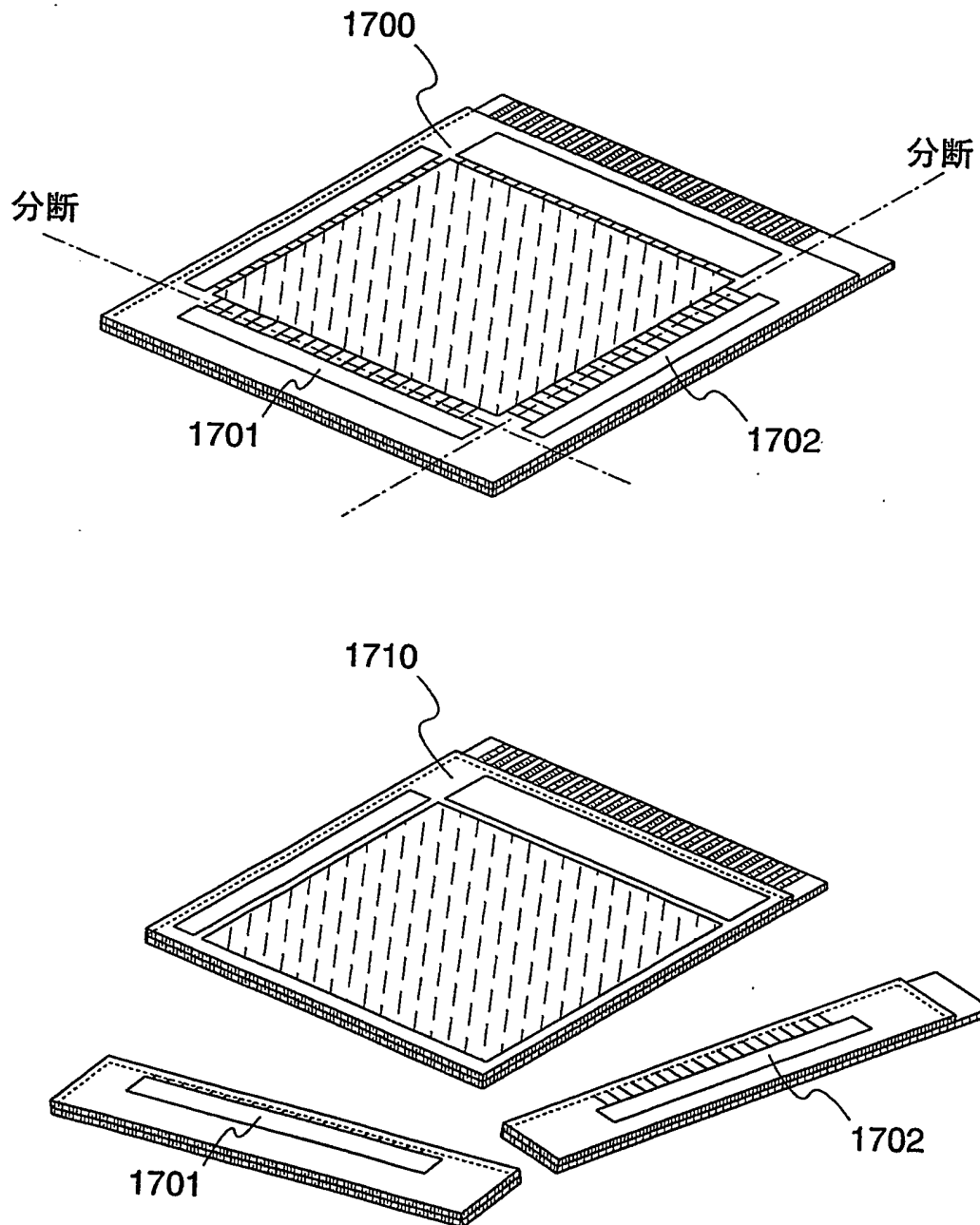


図17



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003549

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G01R31/317, G09G3/20

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G01R31/317, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 5-256914 A (Toshiba Corp.), 08 October, 1993 (08.10.93), Par. Nos. [0020] to [0024]; Fig. 4 (Family: none)	1, 5, 20 9, 13, 21
Y A	JP 2000-47255 A (Matsushita Electric Industrial Co., Ltd.), 18 February, 2000 (18.02.00), Par. Nos. [0019] to [0023]; Figs. 1 to 3 (Family: none)	9, 13, 21 2-4, 6-8, 10-12, 14-19

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
12 April, 2004 (12.04.04)

Date of mailing of the international search report  
27 April, 2004 (27.04.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup>G01R31/317、G09G3/20

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup>G01R31/317、G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 5-256914 A (株式会社東芝)	1, 5, 20
Y	1993. 10. 08、段落番号20-24、図4 (ファミリー無し)	9, 13, 21
Y	J P 2000-47255 A (松下電器産業株式会社)	9, 13, 21
A	2000. 02. 18、段落番号19-23、図1-3 (ファミリー無し)	2-4, 6-8, 10-12, 14-19

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

12. 04. 2004

国際調査報告の発送日 27. 4. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴野 幹夫

2 G

8 6 2 1

電話番号 03-3581-1101 内線 6489

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ ~~FADED TEXT OR DRAWING~~

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**